

LAB1 (część 2): Synteza układów sekwencyjnych

I. CEL ĆWICZENIA

Celem ćwiczenia jest praktyczne zapoznanie z podstawami teoretycznymi, dotyczącymi układów sekwencyjnych, ze szczególnym naciskiem na działanie i symbole przerzutników, oraz metodyką projektowania tych układów w oparciu o automat Moore'a.

II. WPROWADZENIE

DEFINICJA UKŁADU SEKWENCYJNEGO

Układ sekwencyjny to cyfrowy układ, którego wartości wyjść są funkcją nie tylko aktualnego stanu wejść, ale także funkcją sekwencji (kolejności) poprzednich stanów układu. Zatem zależność wejście-wyjście nie jest jednoznaczna. Takim samym wartościom sygnałów wejściowych mogą odpowiadać różne wartości sygnałów wyjściowych, zależnie od stanów poprzednich, w jakich znajdował się układ. Powiązanie aktualnego i poprzednich stanów układu jest realizowane przy użyciu elementów pamięciowych czyli przerzutników. Pod wpływem sygnałów wejściowych układ sekwencyjny przechodzi od stanu do stanu, a sygnały wyjściowe zależą od stanu w jakim się znajduje, albo od stanu i sygnałów wejściowych.

AUTOMATY UKŁADÓW SEKWENCYJNYCH

Model matematyczny układu sekwencyjnego nazywamy automatem. Wyróżniane są dwa rodzaje automatów:

- automat Moore'a – wartości sygnałów wyjściowych zależą tylko od stanu w jakim układ się znajduje,
- automat Mealy'ego – wartości sygnałów wyjściowych zmieniają się w czasie zmian sygnałów wejściowych, czyli zależą do stanu układu i sygnałów wejściowych.

Schemat blokowy automatu Moore'a przedstawia rys. 1. Funkcja wyjść λ określa wartość logiczną wyjść $y_0, \dots, y_{n-1}$ na podstawie aktualnego stanu automatu reprezentowanego przez sygnały wewnętrzne $Q_0, \dots, Q_{p-1}$:

$$Y = \lambda(Q)$$

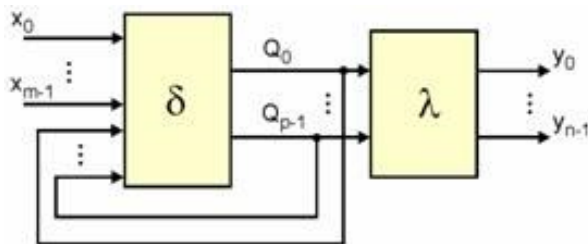
Stan następny automatu określa funkcja przejść δ na podstawie sygnałów wejściowych $x_0, \dots, x_{m-1}$ oraz stanu poprzedniego automatu:

$$Q' = \delta(Q, X)$$

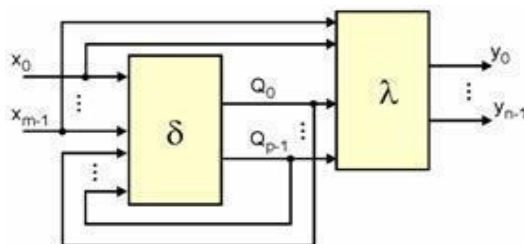
Schemat blokowy automatu Mealy'ego przedstawiony na rys. 2 różni się od automatu Moore'a tym, że stan wyjść jest funkcją stanu automatu i wartości sygnałów wejściowych:

$$Y = \lambda(Q, X)$$

Pozostałe bloki spełniają takie same funkcje jak w automacie Moore'a.



Rys. 1 Schemat blokowy automatu Moore'a

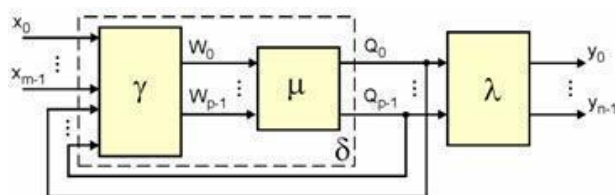


Rys. 2 Schemat blokowy automatu Mealy'ego

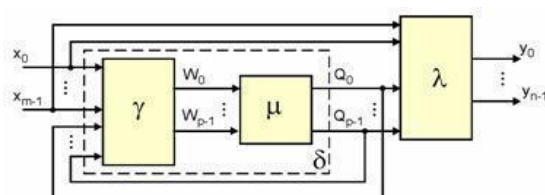
Blok realizujący funkcję δ to blok pamięci (przerzutniki), natomiast blok realizujący funkcję λ jest układem kombinacyjnym. Jeżeli blok pamięci rozdzielimy na dwa bloki:

- blok μ – zestaw przerzutników, czyli rejestr,
- blok γ – układ kombinacyjny, przygotowujący sygnały dla bloku μ ,

to automaty Moore'a i Mealy'ego mają postać układów jak na rys. 3 i rys. 4. Sygnały $W_0, \dots, W_{p-1}$ określają stan wzbudzeń elementów pamięciowych na podstawie sygnałów $x_0, \dots, x_{m-1}$ i $Q_0, \dots, Q_{p-1}$.



Rys. 3 Modyfikacja schematu automatu Moore'a



Rys. 4 Modyfikacja schematu automatu Mealy'ego

Ponadto układy sekwencyjne dzielimy na układy synchroniczne i asynchroniczne. W układach synchronicznych zmiany stanów następują w ściśle określonych momentach wyznaczanych przez sygnał taktujący (sygnał zegarowy) doprowadzony do elementów pamięciowych. W układach asynchronicznych zmiany stanów następują bezpośrednio po zmianie sygnałów wejściowych. Układy te nie mają sygnału taktującego.

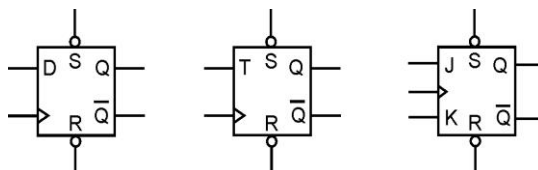
Układy asynchroniczne są rzadziej stosowane niż układy synchroniczne. W układach asynchronicznych wskutek niejednakowych opóźnień bramek logicznych i różnych dróg sygnałów występuje niebezpieczeństwo pojawienia się niepożądanych reakcji układu na zmianę sygnałów wejściowych. Zjawiska te nazywane są wyszcigami i hazardami. Ich analiza i eliminacja jest łatwa tylko w prostych układach sekwencyjnych. Dla złożonych układów jest to dość skomplikowane. Jedynym rozwiązaniem jest dyskretyzacja działania, czyli stosowanie układu synchronicznego.

TABLICE WZBUDZEŃ PRZERZUTNIKÓW

Przerzutnik SR		Przerzutnik D		Przerzutnik JK		Przerzutnik T	
$Q \rightarrow Q_+$	S R	$Q \rightarrow Q_+$	D	$Q \rightarrow Q_+$	J K	$Q \rightarrow Q_+$	T
0 → 0	0 –	0 → 0	0	0 → 0	0 –	0 → 0	0
0 → 1	1 0	1 → 0	0	0 → 1	1 –	1 → 1	0
1 → 0	0 1	0 → 1	1	1 → 0	– 1	0 → 1	1
1 → 1	– 0	1 → 1	1	1 → 1	– 0	1 → 0	1

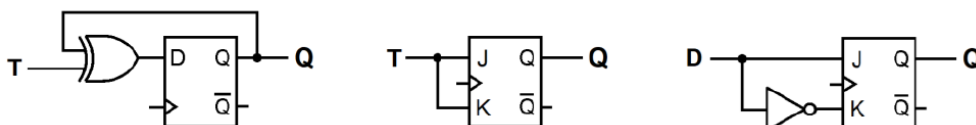
ASYNCHRONICZNE WEJŚCIA USTAWIAJĄCE I KASUJĄCE

Każdy przerzutnik synchroniczny może mieć oddzielne, asynchroniczne wejścia ustawiające S oraz kasujące R, aby ustawić stan wyjścia odpowiednio na 1 lub 0 bez inicjowania tego procesu sygnałem zegarowym. Zazwyczaj wejścia te mają aktywny poziom niski. Zaznaczane są na górnej i dolnej krawędzi symbolu przerzutnika.



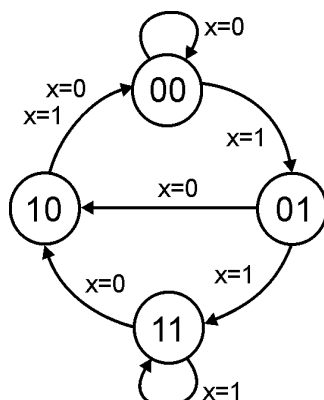
REALIZACJE UKŁADOWE PRZERZUTNIKÓW SYNCHRONICZNYCH

Poniższe rysunki przedstawiają możliwe realizacje przerzutnika synchronicznego z użyciem przerzutnika o innej funkcji przełączającej.



PRZYKŁAD #1

Przy użyciu synchronicznych przerzutników JK zaprojektować układ sekwencyjny, którego działanie przedstawia poniższy graf.



ROZWIĄZANIE:

Stany grafu zakodowano słowami dwubitowymi, zatem potrzebne będą dwa przerzutniki. Ponadto wyjścia przerzutników, np. Q_1 i Q_0 , będą sygnałami wyjściowymi układu sekwencyjnego. Układ projektujemy wykonując następujące czynności:

- 1) dany graf zapisujemy w postaci siatki Karnaugh, czyli tablicy przejść układu sekwencyjnego. Dla każdego przerzutnika zapisujemy osobno tablicę przejść układu sekwencyjnego:

$Q_1 Q_0$		$Q_1 Q_0$			
		00	01	11	10
x	0	00	10	10	00
	1	01	11	11	00

$Q_1 Q_0$

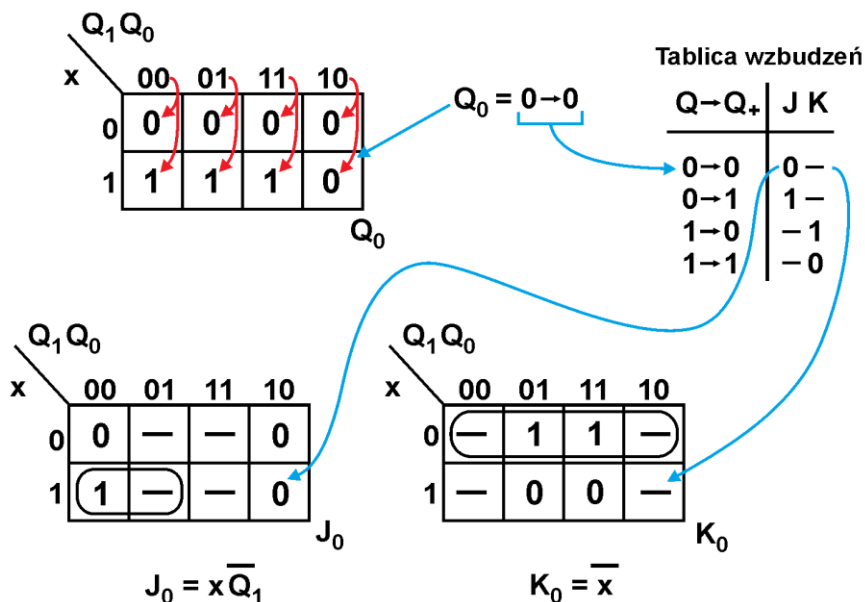
$Q_1 Q_0$		$Q_1 Q_0$			
		00	01	11	10
x	0	0	1	1	0
	1	0	1	1	0

Q_1

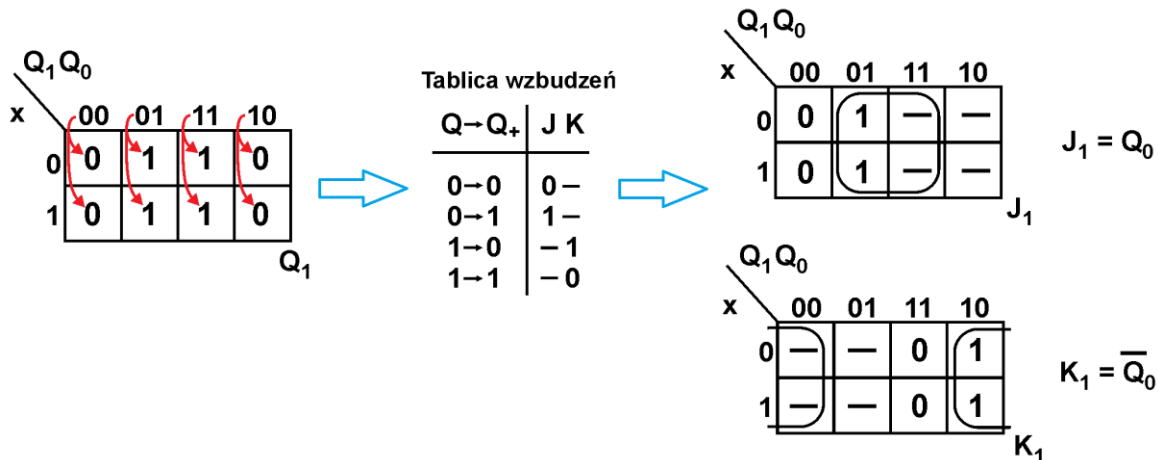
$Q_1 Q_0$		$Q_1 Q_0$			
		00	01	11	10
x	0	0	0	0	0
	1	1	1	1	0

Q_0

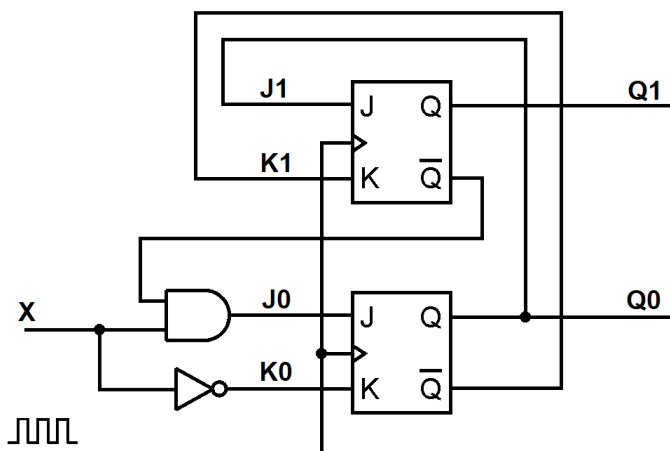
- 2) najpierw dla przerzutnika Q_0 utworzymy funkcje wzbudzeń dla jego wejść J_0 i K_0 , czyli dla każdego przejścia układu sekwencyjnego wpisujemy do siatek Karnaugh odpowiednie wartości logiczne na podstawie tablicy wzbudzeń przerzutnika JK:



- 3) podobnie postępujemy dla przerzutnika Q_1 , czyli dla każdego przejścia odczytujemy z tablicy wzbudzeń wartości dla wejść J_1 i K_1 , a następnie wpisujemy w odpowiednie pola siatek Karnaugh:



- 4) na podstawie otrzymanych funkcji wzudzeń J_1 , K_1 , J_0 i K_0 rysujemy schemat układu. Do wejść zegarowych obu przerzutników dołączamy równolegle sygnał zegarowy:

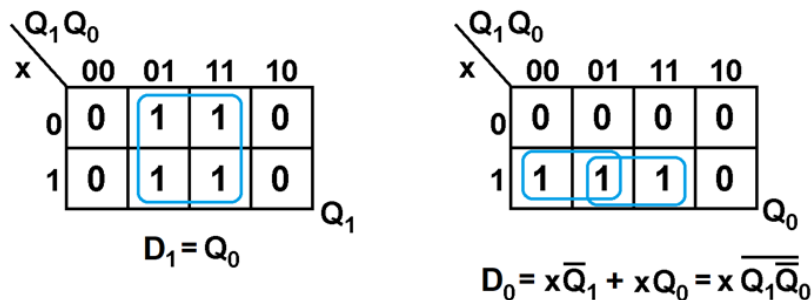


PRZYKŁAD #2

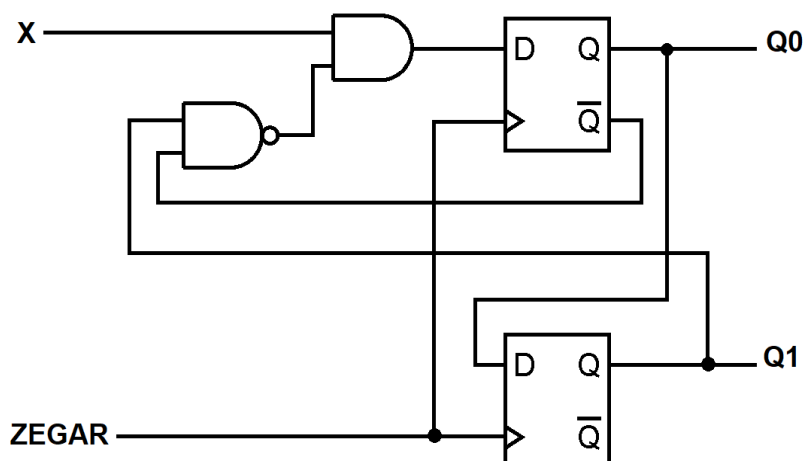
Przy użyciu synchronicznych przerzutników D zaprojektować układ jak w przykładzie #1.

ROZWIĄZANIE:

Podobnie potrzebne są dwa przerzutniki, a ich wyjścia Q_1 i Q_0 są sygnałami wyjściowymi projektowanego układu sekwencyjnego. Cechą charakterystyczną tablicy wzudzeń przerzutnika D jest to, że stan następny wyjścia Q jest równy stanowi na wejściu D . Zatem tworząc funkcje wzudzeń wystarczy zminimalizować tylko tablice przejść układu sekwencyjnego dla przerzutników Q_1 i Q_0 .



Stąd schemat układu jest następujący:

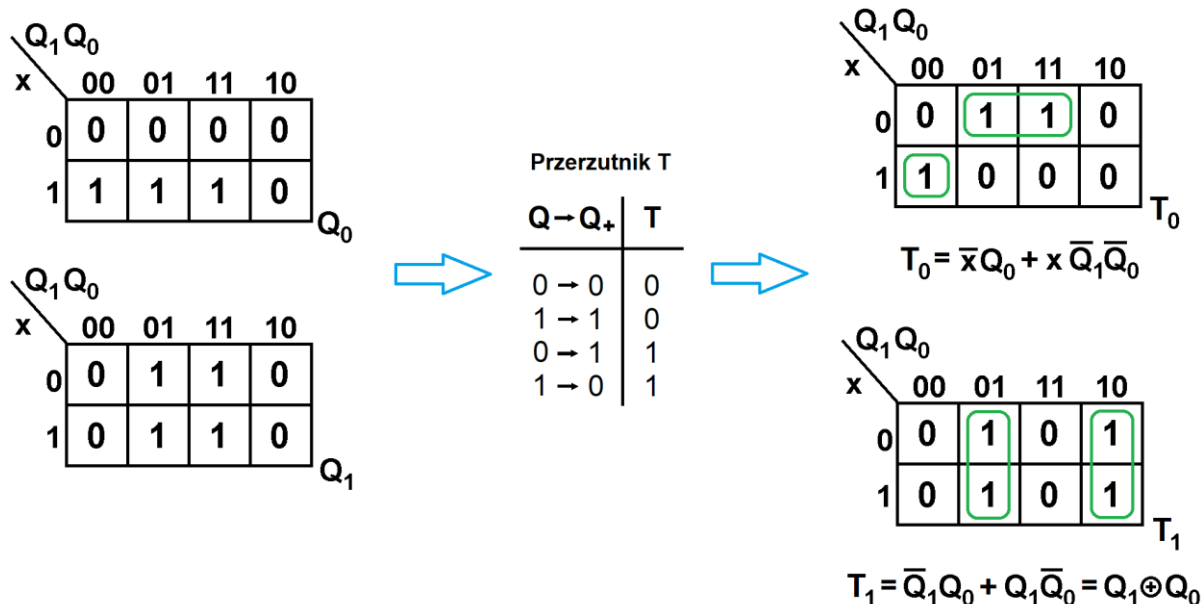


PRZYKŁAD #3

Przy użyciu synchronicznych przerzutników T zaprojektować układ jak w przykładzie #1.

ROZWIĄZANIE:

Również tutaj potrzebne są dwa przerzutniki, a ich wyjścia Q_1 i Q_0 są sygnałami wyjściowymi projektowanego układu sekwencyjnego.

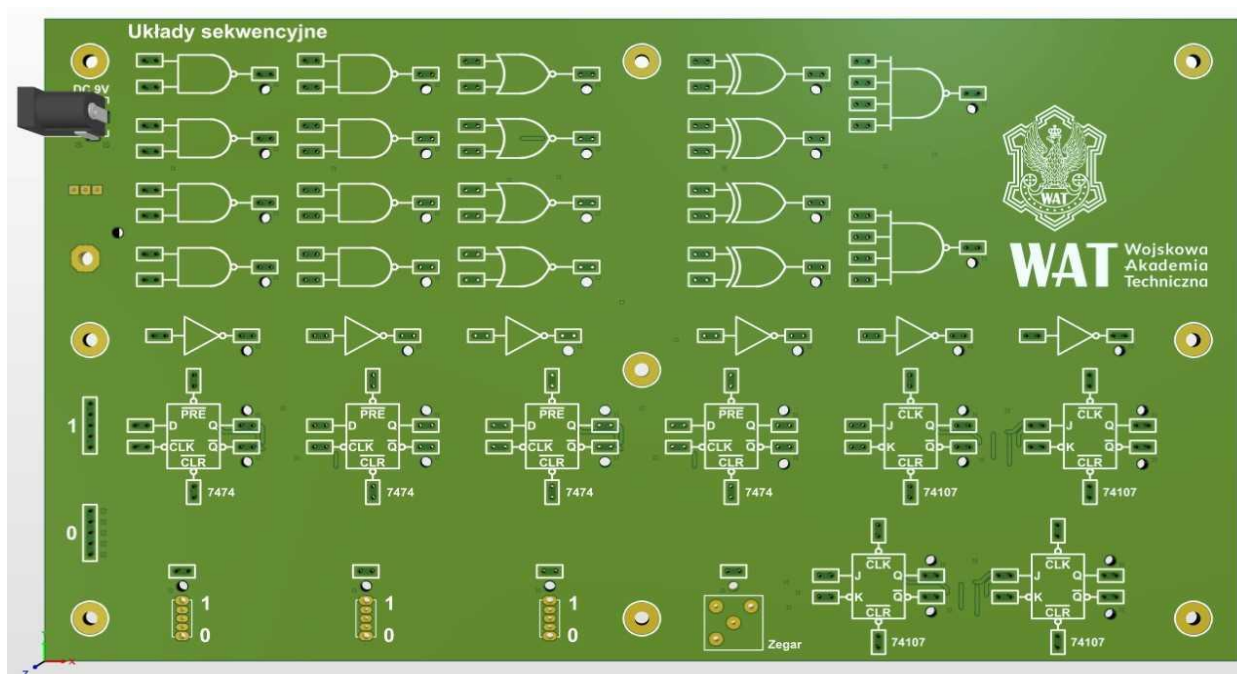


III. REALIZACJA ĆWICZENIA LABORATORYJNEGO

ZESTAW LABORATORYJNY

Zadania projektowe realizowane są z użyciem zestawu laboratoryjnego (rys. 5) zawierającego m.in.:

- osiem dwuwejściowych bramek NAND – układy scalone 74HC00D,
- dwie czterowejściowe bramki NAND – układ scalony 74HC20D,
- cztery dwuwejściowe bramki NOR – układ scalony 74HC02D,
- cztery dwuwejściowe bramki XOR – układ scalony 74HC86D,
- sześć inwerterów – układ scalony 74HC04D,
- cztery przerzutniki typu D – układ scalony 74HC74D,
- cztery przerzutniki typu JK – układ scalony 74HC107D.



Rys. 5 Zestaw laboratoryjny

Badane układy sekwencyjne realizowane są poprzez wykonanie połączeń pomiędzy wejściami i wyjściami układów scalonych, udostępnionych na płycie zestawu laboratoryjnego. Stany logiczne na wyjściach układów kombinacyjnych mogą być obserwowane z użyciem wbudowanych w zestaw diod elektroluminescencyjnych. Wszystkie układy scalone są wspólnie zasilane, natomiast do generacji zbroczy zegara przeznaczony jest przycisk ZEGAR. Oprócz tego do wprowadzania stanów logicznych na wejścia układów sekwencyjnych przewidziane zostały:

- trzy przełączniki suwakowe,
- dwa rzędy wyprowadzeń stanów logicznych 0 i 1.

UWAGA! Zabrania się łączenia ze sobą wyjść układów scalonych.

WYKONANIE ĆWICZENIA

Przeprowadzić minimalizację funkcji logicznych z użyciem siatek Karnaugh i zbudować układy sekwencyjne realizujące grafy przejść według poleceń prowadzącego ćwiczenie.

OPRACOWANIE WYNIKÓW

1. Sprawozdanie z ćwiczenia laboratoryjnego powinno zawierać zwięzłe opisy postawionych zadań projektowych wraz z rozwiązaniami, w szczególności z tablicami przejść i schematami zaprojektowanych układów.
2. W sprawozdaniu należy również zawrzeć rozwiązania dodatkowych problemów projektowych postawionych przez prowadzącego ćwiczenie.

ZALICZENIE ĆWICZENIA

1. Zaliczenie kolokwium wstępnego oraz poprawne wykonanie zadań laboratoryjnych postawionych przez osobę prowadzącą ćwiczenie.
2. Złożenie sprawozdania, zawierającego zwięzły opis wykonanych zadań, wnioski i poprawne odpowiedzi na postawione pytania.

PRZYKŁADOWE ZADANIA PROJEKTOWE

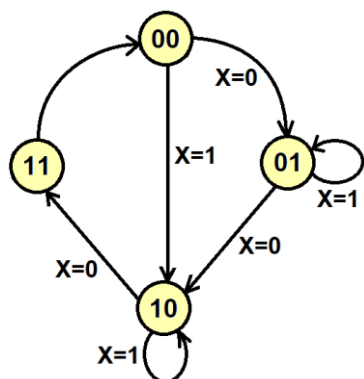
1. Sprawdzić działanie przerzutników typu D i JK na zestawie laboratoryjnym.
2. Wykonać praktycznie schematy zastępcze przerzutników i sprawdzić ich działanie na zestawie laboratoryjnym:
 - a) typu T – z użyciem przerzutnika typu D lub JK,
 - b) typu D – z użyciem przerzutnika typu JK.

3. Korzystając z dostępnych w zestawie laboratoryjnym przerzutników i bramek logicznych, zaprojektować układ sekwencyjny, którego działanie określone jest grafem przejść zgodnym z automatem Moore'a, wskazanym przez prowadzącego ćwiczenie:
 - a) z użyciem przerzutników typu D, JK lub T,
 - b) z użyciem przerzutników typu D i JK, czyli każdy bit jest realizowany z użyciem innego przerzutnika.
4. Zbudować synchroniczny detektor trzy- lub czterobitowej sekwencji określonej przez prowadzącego ćwiczenie, używając przerzutniki JK.
5. Stosując przerzutniki typu D/JK/T oraz bramki logiczne, zaprojektować układ sekwencyjny, którego działanie określone jest tablicą przejść podaną przez prowadzącego ćwiczenie.

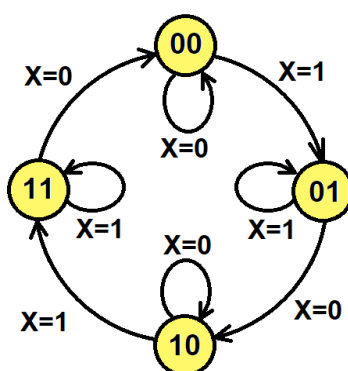
PRZYKŁADOWE GRAFY PRZEJŚĆ:

Wyjścia przerzutników są wyjściami układu.

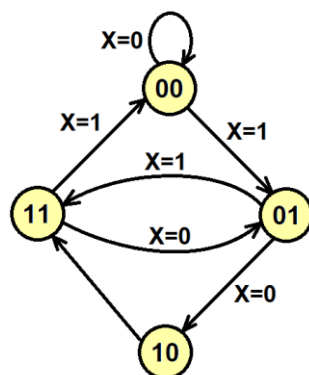
1.



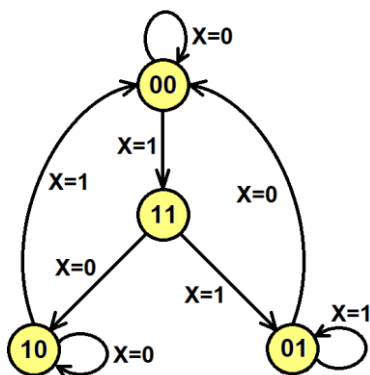
2.



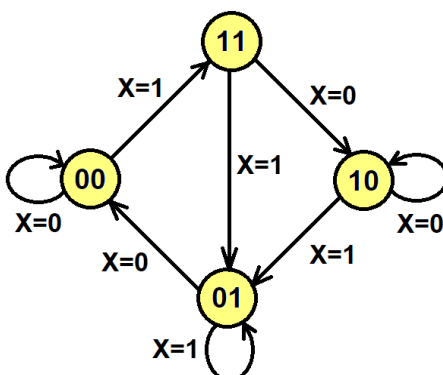
3.



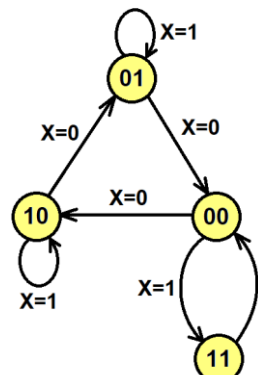
4.



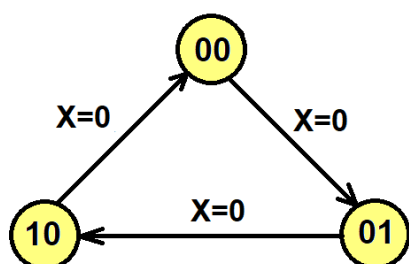
5.



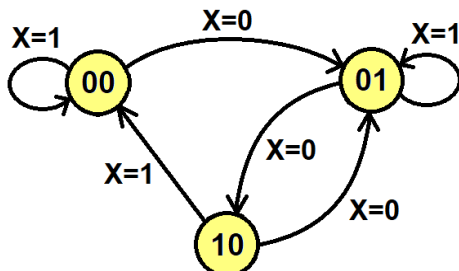
6.



7.



8.



IV. ZAGADNIENIA DO OPRACOWANIA PRZED PRZYSTĄPIENIEM DO ĆWICZENIA

1. Jaki układ logiczny nazywamy sekwencyjnym?
2. Wymienić rodzaje automatów sekwencyjnych. Narysować odpowiednie schematy blokowe.
3. Podać różnice w działaniu układów sekwencyjnych asynchronicznych i synchronicznych.
4. Na czym polegają zjawiska hazardów i wyścigów w układach asynchronicznych statycznych?
5. Narysować dla przerzutników JK, D i T: tablicę wzbudzeń, tablicę funkcyjną, graf przejść i symbol graficzny.
6. W jaki sposób opisywane jest działanie układu sekwencyjnego?
7. Omówić konstrukcję grafu stanów i tablicy przejść dla układów sekwencyjnych.
8. Podać algorytm syntezy układów sekwencyjnych.
9. Podać zasadniczą różnicę działania układów sekwencyjnych i kombinacyjnych.

V. LITERATURA I MATERIAŁY POMOCNICZE

1. Materiały wykładowe.
2. J. Kalisz: Podstawy elektroniki cyfrowej, WKŁ, Warszawa 2007.
3. J. Tyszer: Układy cyfrowe, Wyd. Politechniki Poznańskiej, 2000.
4. J.F. Wakerly: Digital Design, Principles and Practices, 4th Edition, Pearson/Prentice Hall, 2005.
5. B. Wilkinson: Układy cyfrowe, WKŁ, 2000.
6. A. Skorupski: Podstawy techniki cyfrowej, WKŁ, 2001.