

Laboratorium Układów Cyfrowych

Układy Sekwencyjne

1. Cel ćwiczenia

Celem ćwiczenia jest praktyczne zapoznanie z podstawami teoretycznymi oraz metodyką projektowania układów sekwencyjnych. Podczas ćwiczenia dokonuje się syntezy sieci sekwencyjnej realizującej zadaną funkcję oraz buduje się odpowiedni układ sekwencyjny.

2. Wstęp teoretyczny

Układ sekwencyjny to cyfrowy układ, którego wartości wyjść są funkcją nie tylko aktualnego stanu wejść, ale także funkcją sekwencji (kolejności) poprzednich stanów układu. Zatem zależność wejście-wyjście nie jest jednoznaczna. Takim samym wartościom sygnałów wejściowych mogą odpowiadać różne wartości sygnałów wyjściowych, zależnie od stanów poprzednich, w jakich znajdował się układ. Powiązanie aktualnego i poprzednich stanów układu jest realizowane przy użyciu elementów pamięciowych czyli przerzutników.

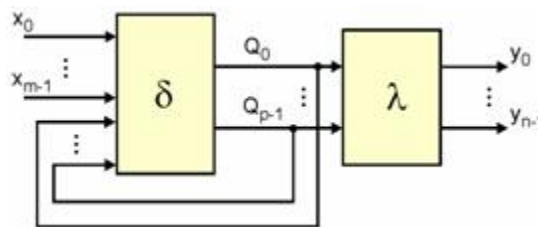
Pod wpływem sygnałów wejściowych układ sekwencyjny przechodzi od stanu do stanu, a sygnały wyjściowe zależą od stanu w jakim się znajduje, albo od stanu i sygnałów wejściowych.

Model matematyczny układu sekwencyjnego nazywamy automatem. Wyróżniamy dwa rodzaje automatów:

- automat Moore'a – wartości sygnałów wyjściowych zależą tylko od stanu w jakim układ się znajduje,
- automat Mealy'ego – wartości sygnałów wyjściowych zmieniają się w czasie zmian sygnałów wejściowych, czyli zależą do stanu układu i sygnałów wejściowych.

Schemat blokowy automatu Moore'a przedstawia rys. 1. Funkcja wyjść λ określa wartość logiczną wyjść y_0, \dots, y_{n-1} na podstawie aktualnego stanu automatu reprezentowanego przez sygnały wewnętrzne Q_0, \dots, Q_{p-1} :

$$Y = \lambda(Q)$$



Rys. 1 Schemat blokowy automatu Moore'a

Stan następnego automatu określa funkcja przejść δ na podstawie sygnałów wejściowych x_0, \dots, x_{m-1} oraz stanu poprzedniego automatu:

$$Q' = \delta(Q, X)$$

Schemat blokowy automatu Mealy'ego przedstawiony na rys. 2 różni się od automatu Moore'a tym, że stan wyjść jest funkcją stanu automatu i wartości sygnałów wejściowych:

$$Y = \lambda(Q, X)$$

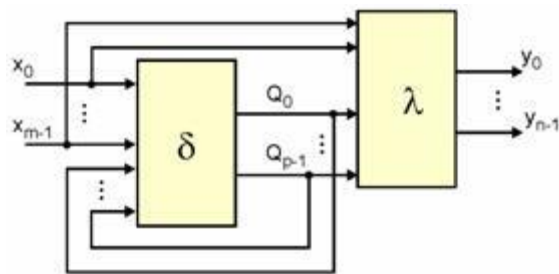
Pozostałe bloki spełniają takie same funkcje jak w automacie Moore'a.

Blok realizujący funkcję δ to blok pamięci (przerzutniki), natomiast blok realizujący funkcję λ jest układem kombinacyjnym. Jeżeli blok pamięci rozdzielimy na dwa bloki:

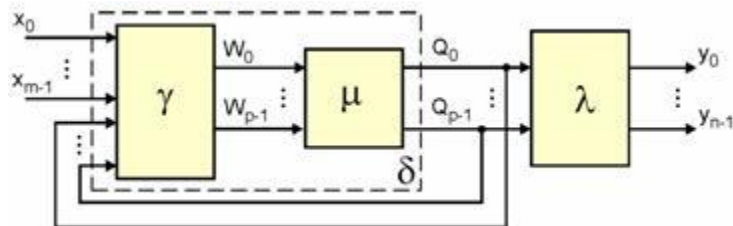
- a) blok μ – zestaw przerzutników czyli rejestr,
- b) blok γ – układ kombinacyjny przygotowujący sygnały dla boku μ ,

to automaty Moore'a i Mealy'ego mają postać układów jak na rys. 3 i rys. 4. Sygnały W_0, \dots, W_{p-1} określają stan wzbudzeń elementów pamięciowych na podstawie sygnałów x_0, \dots, x_{m-1} i Q_0, \dots, Q_{p-1} .

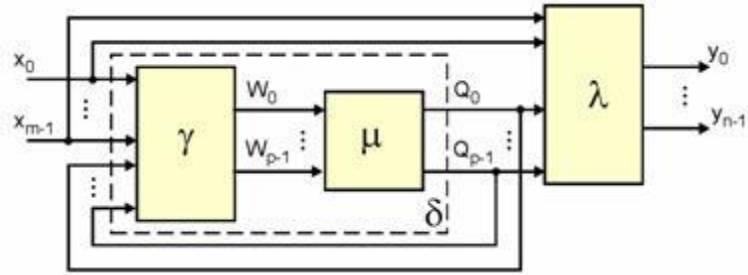
1.



Rys. 2 Schemat blokowy automatu Mealy'ego



Rys. 3 Modyfikacja automatu Moore'a



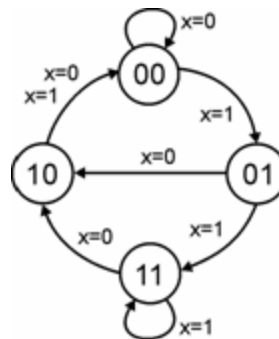
Rys. 4 Modyfikacja automatu Mealy'ego

Ponadto układy sekwencyjne dzielimy na układy synchroniczne i asynchroniczne. W układach synchronicznych zmiany stanów następują w ściśle określonych momentach wyznaczanych przez sygnał taktujący (sygnał zegarowy) doprowadzony do elementów pamięciowych. W układach asynchronicznych zmiany stanów następują bezpośrednio po zmianie sygnałów wejściowych. Układy te nie mają sygnału taktującego.

Układy asynchroniczne są rzadziej stosowane niż układy synchroniczne. W układach asynchronicznych wskutek niejednakowych opóźnień bramek logicznych i różnych dróg sygnałów występuje niebezpieczeństwo pojawienia się niepożądanych reakcji układu na zmianę sygnałów wejściowych. Zjawiska te nazywane są *wyścigami* i *hazardami*. Ich analiza i eliminacja jest łatwa tylko w prostych układach sekwencyjnych. Dla złożonych układów jest to dość skomplikowane. Jedynym rozwiązaniem jest dyskretyzacja działania, czyli stosowanie układu synchronicznego.

Przykład

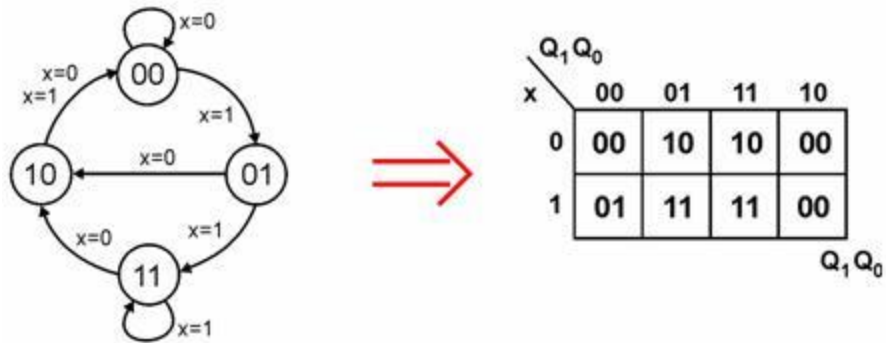
Przy użyciu synchronicznych przerzutników JK zaprojektować układ sekwencyjny, którego działanie przedstawia poniższy graf.



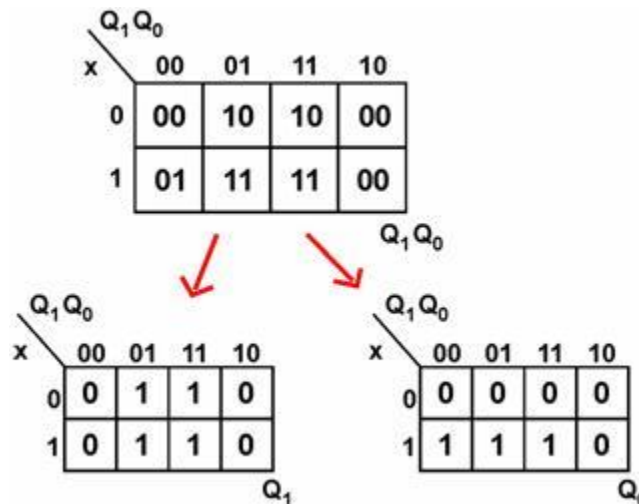
Rozwiązanie

Jak widać graf posiada cztery zakodowane stany. Zatem potrzeba dwóch przerzutników JK, których stany wyjść Q_1 i Q_0 są sygnałami wyjściowymi projektowanego układu sekwencyjnego. Układ projektujemy wykonując kolejno następujące czynności:

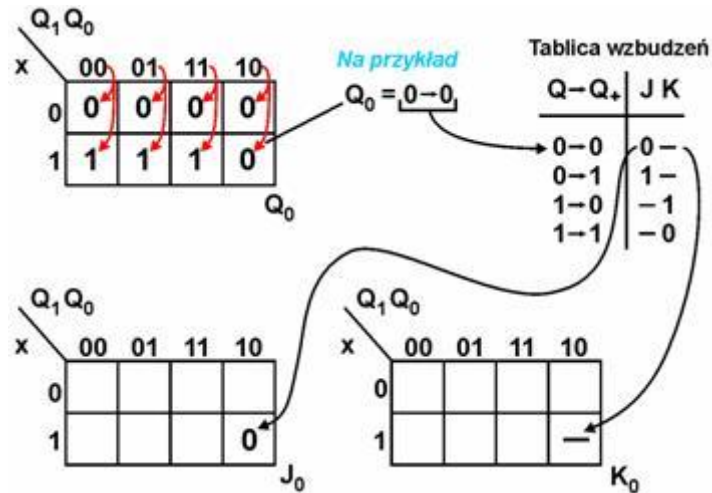
a) dany graf zapisujemy w postaci siatki Karnaugh (tablica przejść)



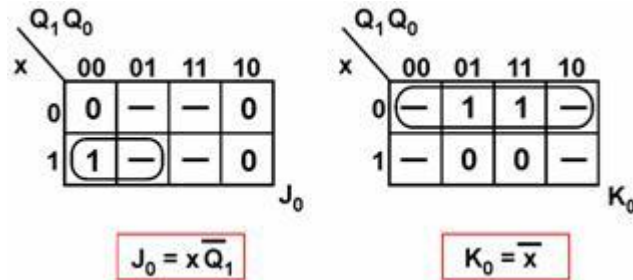
b) otrzymaną tablicę przejść rozdzielamy na dwie tablice odpowiadające poszczególnym przerzutnikom Q_1 i Q_0



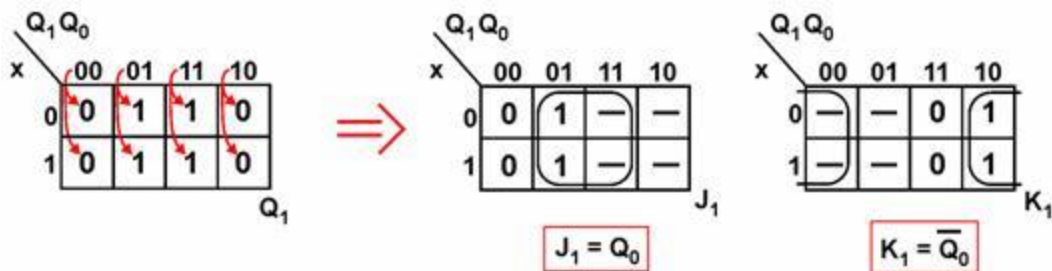
c) dla przerzutnika Q_0 tworzymy funkcje wzbudzeń dla jego wejść J_0 i K_0 na podstawie jego tablicy wzbudzeń – w tym celu dla każdej kratki w tablicy przejść odczytujemy przejścia wyjścia Q , następnie znajdujemy w tablicy wzbudzeń przerzutnika JK odpowiednie stany wejść (J i K) i wpisujemy do nowych tablic o tych samych współrzędnych co tablica przejść



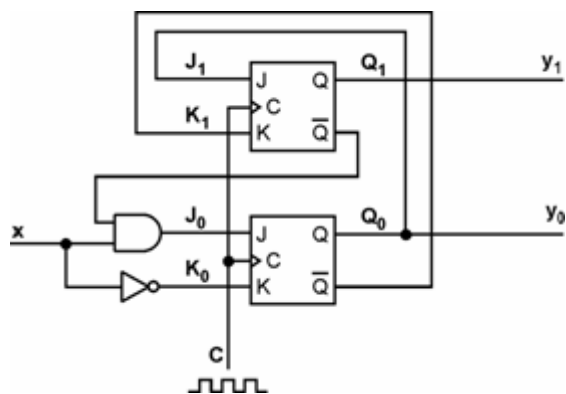
następnie dokonując minimalizacji otrzymanych tablic dla wejść J_0 i K_0 , otrzymujemy ich funkcje wzbudzeń



d) podobnie postępujemy dla przerzutnika Q_1



e) na podstawie funkcji wzbudzeń J_1 , K_1 , J_0 i K_0 rysujemy schemat układu, do wejść zegarowych obu przerzutników doprowadzamy równolegle zewnętrzny sygnał taktujący C



3. Opis układu laboratoryjnego

Zestaw laboratoryjny składa się z dwóch płytek prototypowych wykorzystujących następujące układy scalone:

1. osiem dwuwejściowych bramek NAND
2. cztery dwuwejściowe bramki XOR
3. dwie czterowejściowe bramki NAND
4. dwa przerzutniki typu D(UCY 7474)
5. dwa dwuzboczowe przerzutniki typu J-K(UCY 7473)
6. cztero bitowy zatrząsk typu D(UCY 7475)

Ponadto na pierwszej płytce prototypowej znajdują się następujące układy:

1. trzy trójwejściowe bramki NAND
2. czterobitowy rejestr przesuwający (UCY 7495B)
3. szeregowo równoległy rejestr przesuwający(UCY 74164)
4. sześciobitowy rejestr równoległy(UCY 74174)

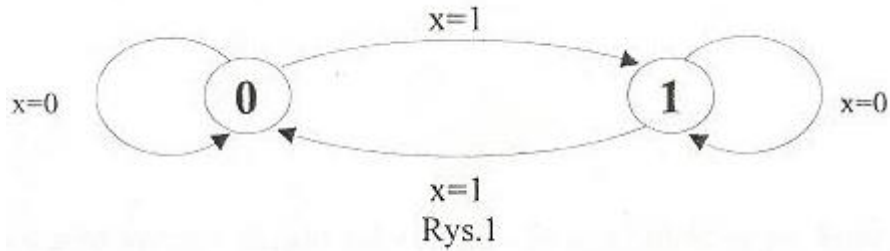
Natomiast na drugiej:

1. cztery dwuwejściowe bramki NOR
2. sześć inwerterów NOT
3. dwa przerzutniki typu J-K(UCY 74107)

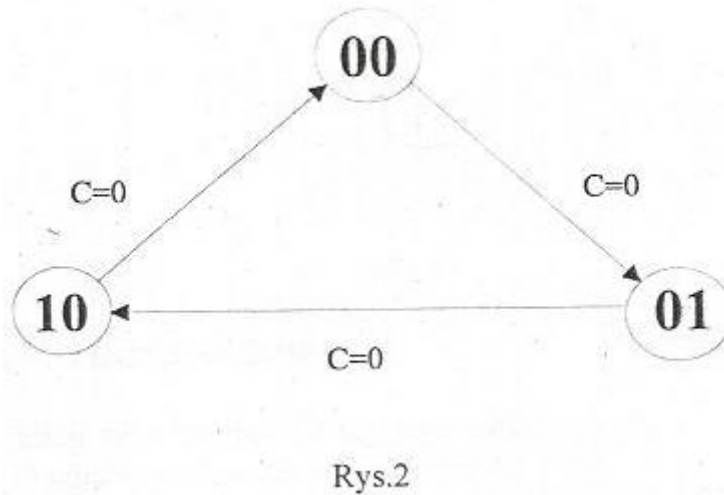
Wszystkie układy scalone są wspólnie zasilane, a odpowiednie sieci sekwencyjne buduje się łącząc zewnętrznie, według zadanego przez prowadzącego ćwiczenie projektu, odpowiednie funktry. W zestawie laboratoryjnym znajdują się dodatkowo elektroluminescencyjne wskaźniki stanu „0” i „1”. Płytką zawiera ponadto przełączniki umożliwiające zmianę stanów logicznych oraz przycisk zegara.

4. Wykonanie ćwiczenia

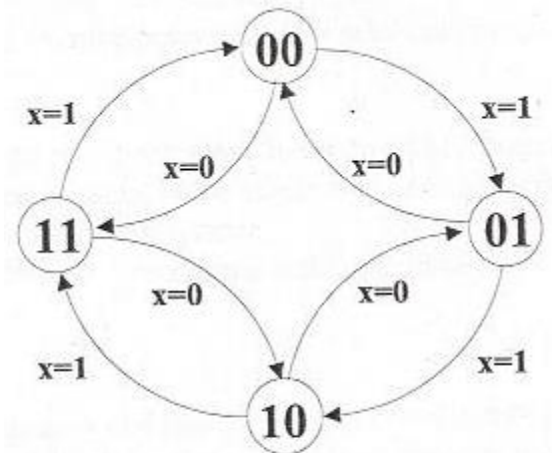
- 4.1 Narysować tablicę przejść oraz zaprojektować układ asynchroniczny, którego graf stanów przedstawiono na Rys.1



- 4.2 Wykorzystując przerzutniki D, J-K, zaprojektować układ, którego graf stanów przedstawiono na Rys.2

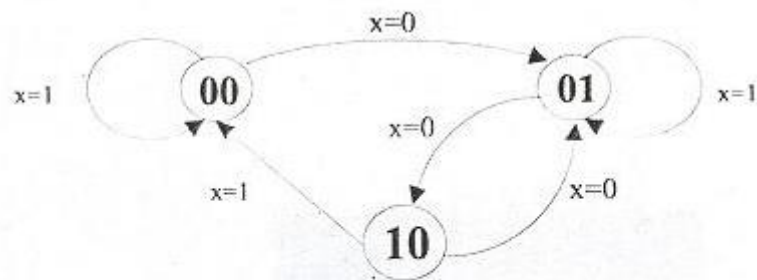


- 4.3 Dokonać syntezy układu sekwencyjnego synchronicznego, którego graf stanów przedstawiono na Rys.3, wykorzystując przerzutniki J-K. Narysować odpowiednie tablice wymuszeń.



Rys.3

4.4 Dokonać syntezy układu sekwencyjnego synchronicznego, którego graf stanów przedstawiono na rys.4, wykorzystując przerzutniki J-K. Narysować odpowiednie tablice wymuszeń.



Rys.4

5. Warunki zaliczenia laboratorium

Wykonanie ćwiczeń laboratoryjnych oraz udzielenie poprawnych odpowiedzi na pytania kontrolne.

6. Zagadnienia do opracowania

- 6.1 Podać definicje sekwencyjnej funkcji logicznej
- 6.2 Jaki układ logiczny nazywamy sekwencyjnym?
- 6.3 Wymienić rodzaje układów sekwencyjnych. Narysować odpowiednie schematy blokowe
- 6.4 Podać różnice w działaniu układów sekwencyjnych asynchronicznych i synchronicznych
- 6.5 Na czym polegają zjawiska hazardów i wyścigów w układach asynchronicznych statycznych
- 6.6 Narysować tablicę wzbudzeń dla przerzutników J-K, D, T
- 6.7 Jak opisuje się działanie układu sekwencyjnego?
- 6.8 Omówić konstrukcję grafu stanów i tablicy przejść dla układów sekwencyjnych
- 6.9 Podać algorytm syntezy sieci sekwencyjnych
- 6.10 Podać zasadniczą różnicę pracy układów sekwencyjnych w stosunku do układów kombinacyjnych

UWAGA: Każda grupa przed przystąpieniem do wykonania ćwiczenia może otrzymać indywidualne zadania, które należy wykonać w dwóch etapach:

- rozwiązać teoretycznie,
- sprawdzić rozwiązanie realizując układ.

Literatura

- J. Kalisz, *Podstawy elektroniki cyfrowej*, WKŁ, wyd. 5, Warszawa 2007
B. Wilkinson, *Układy cyfrowe*, Seria wydawnicza *Wiedzieć więcej*, WKŁ, Warszawa 2003
A. Skorupski, *Podstawy techniki cyfrowej*, WKŁ, Warszawa 2004

DODATEK

Elementy pamięciowe – przerzutniki

W układach cyfrowych do realizacji bloku pamięci używane są przerzutniki. Są to elementy mające na swoim wyjściu jeden z możliwych dwóch stanów stabilnych 0 lub 1. Przerzutnik zachowuje swój stan wyjścia po zaniku przyczyny, która ten stan zainicjowała. Kolejna zmiana jego stanu wyjść jest możliwa dopiero, gdy wystąpi kolejna przyczyna.

Tablice wzbudzeń przerzutników

Przerzutnik SR	Przerzutnik D	Przerzutnik JK	Przerzutnik T
$Q \rightarrow Q_+$ S R	$Q \rightarrow Q_+$ D	$Q \rightarrow Q_+$ J K	$Q \rightarrow Q_+$ T
0→0 0–	0→0 0	0→0 0–	0→0 0
0→1 10	1→0 0	0→1 1–	1→1 0
1→0 01	0→1 1	1→0 –1	0→1 1
1→1 –0	1→1 1	1→1 –0	1→0 1

Asynchroniczne wejścia ustawiające i kasujące

Każdy przerzutnik synchroniczny może mieć oddzielne, asynchroniczne wejścia ustawiające S oraz kasujące R, aby ustawić stan wyjścia odpowiednio na 1 lub 0 bez inicjowania tego procesu sygnałem zegarowym. Zazwyczaj wejścia te mają aktywny poziom niski.

