

Ćwiczenie 3

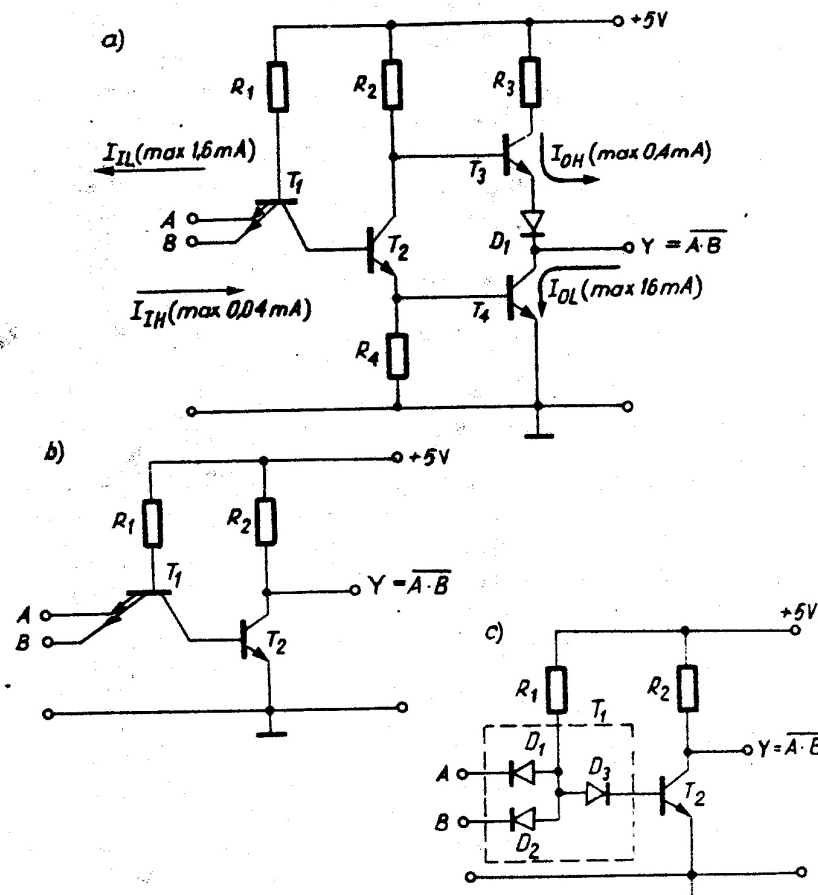
BADANIE PODSTAWOWEJ BRAMKI TTL

3.1. Wiadomości podstawowe

3.1.1. Działanie bramki I-NIE (NAND)

W rodzinie układów scalonych TTL (Transistor-Transistor Logic) podstawowym elementem jest bramka I-NIE (NAND), której schemat ideowy dla przypadku dwu wejść przedstawiono na rysunku 3.1a. Dla zrozumienia działania układu uprościmy ten schemat do postaci przedstawionej na rys. 3.1b, pozostawiając istotne dla realizowanej funkcji tranzystory T_1 i T_2 . Wieloemiterowy tranzystor T_1 zastąpimy układem diod D_1 - D_3 (rys. 3.1c).

Każde złącze emiter-baza tranzystora T_1 jest zastąpione diodami D_1, D_2 , a złącze baza-kolektor diodą D_3 . Przy podaniu wysokiego napięcia np. +5 V (stanu logicznego "1") na oba wejścia układu, diody emiter-baza D_1, D_2 spolaryzowane są zaporowo i prąd bazy tranzystora T_1 będzie płynął przez diodę baza-kolektor (D_3), do bazy tranzystora T_2 zapewniając jego nasycenie. Na kolektorze tego tranzystora pojawi się niskie napięcie (+0,2 V), a więc stan logiczny "0". Mówimy wtedy, że bramka jest w stanie włączenia. W tym stanie, prądy wejściowe i wyjściowy wpływają do bramki, a tranzystor T_1 spolaryzowany jest inwersyjnie. Jeżeli chociaż na jednym z wejść bramki jest niskie napięcie np. +0,2 V (stan logiczny "0"), to tranzystor T_1 jest nasyty, bowiem jego baza jest na potencjale wyższym (0,2 V + 0,7 V) niż kolektor (odpowiada to przewodzeniu tej diody wejściowej, na którą podane jest niskie napięcie). Baza tranzystora T_2 jest na potencjale bliskim zero, a więc tranzystor ten jest zatkany. Na jego kolektorze jest wysokie napięcie (+5 V), czyli stan logiczny "1". Mówimy wtedy, że bramka jest w stanie wyłączenia i prądy wejściowy oraz wyjściowy wpływają z bramki.



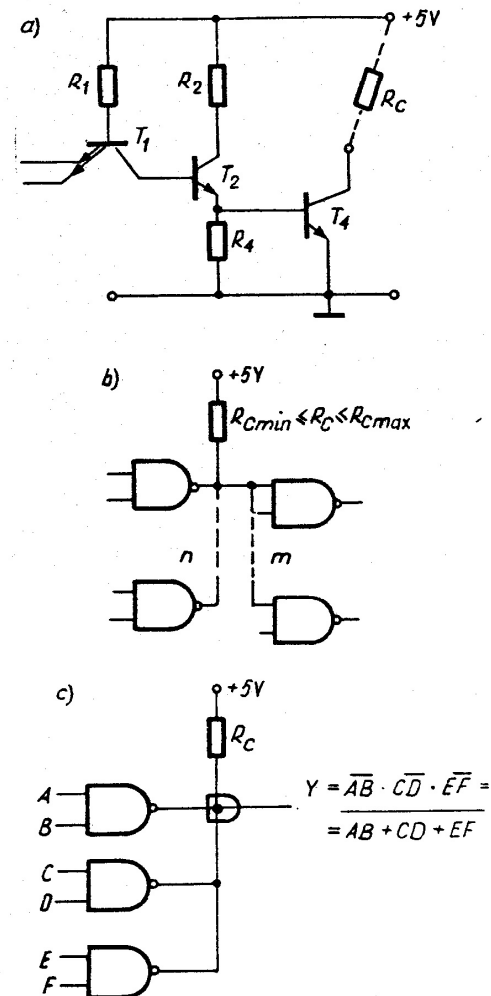
Rys. 3.1. Schemat ideowy podstawowej bramki NAND z zaznaczonymi kierunkami i wartościami maksymalnymi prądów wejściowych i wyjściowych (a), schematy uproszczone (b) i (c)

W praktycznym układzie bramki NAND (rys. 3.1a), stopień wyjściowy zbudowany jest z tranzystorów T_3 i T_4 w takiej konfiguracji, która ma bardzo małą rezystancję wyjściową. W stanie zera logicznego na wyjściu tranzystor T_4 jest nasyty, a tranzystor T_3 zatkany i rezystancja wyjściowa, równa rezystancji kolektor-emiter,

ter tranzystora T_4 , wynosi 10Ω . W stanie jedynki logicznej na wyjściu tranzystor T_4 jest zatkany, a tranzystor T_3 pracuje w układzie wtórnika emiterowego o rezystancji wyjściowej około 100Ω . Tranzystor T_2 wraz z rezystorami R_2 i R_4 pracuje w konfiguracji wzmacniacza, zapewniając odpowiednie poziomy napięcie baz tranzystorów T_3 i T_4 . Jeżeli tranzystor T_2 jest zatkany, to na jego emiterze jest niski potencjał niewystarczający doysterowania tranzystora T_4 , a na jego kolektorze jest potencjał wysoki polaryzujący tranzystor T_3 w stanie przewodzenia. W stanie nasycenia tranzystora T_2 , na jego emiterze jest względnie duży potencjał ($+0,7 \text{ V}$), powodującyysterowanie tranzystora T_4 w stanie nasycenia. Na kolektorze tranzystora T_2 jest wówczas potencjał ($+0,9 \text{ V}$) niewystarczający doysterowania tranzystora T_3 , czyli spolaryzowania w kierunku przewodzenia złącza emiter-baza tego tranzystora i diody D_1 . Tranzystor T_3 jest więc zatkany. Gdyby nie było diody D_1 , wówczas tranzystor T_3 pracowałby w stanie przewodzenia, gdyż różnica napięć na kolektorach tranzystorów T_2 i T_4 , pracujących w stanie nasycenia ($+0,7 \text{ V}$), byłaby wystarczająca do spolaryzowania złącza emiter-baza tranzystora T_3 w kierunku przewodzenia.

Zadaniem rezystora R_3 jest ograniczenie wartości prądu w stanie przejściowym z "0" do "1" na wyjściu, gdy oba tranzystory T_3 i T_4 przewodzą. Zależność prądu zasilania I_{CC} od napięcia wyjściowego U_1 przedstawiono na rys.3.2a. Inne, podstawowe właściwości eksploatacyjne bramek TTL można scharakteryzować w punktach.:

1/ Na każdym wolnym (niezdołączonym) wejściu elementu TTL występuje potencjał wysoki, a więc jeśli żadne z wejść bramki NAND nie jest nigdzie dołączone - na wyjściu bramki występuje potencjał niski (bramka jest w stanie włączenia). W przypadku wykorzystywania tylko jednego wejścia, pozostałych wolnych wejść można nie uwzględniać i bramka pracuje wówczas jak inwerter (układ negacji). Najmniejszą wartość czasu propagacji uzyskuje się jednak wówczas, gdy dołączy się wejścia niewykorzystywane do wykorzystywanych wejść tej samej bramki. Powoduje to wzrost obciążenia bramki sterującej przy wysokim poziomie napięcia na jej wyjściu, bowiem prąd wyjściowy wzrasta o wartość prądu pobieranego przez dołączone wejścia. Przy niskim potencjale wyjściowym bramki sterującej obciążenie nie zmienia się.



Rys.3.2. Schemat ideowy bramki z otwartym kolektorem - linią przerywaną zaznaczono rezystor zewnętrzny R_C (a); równoległe łączenie wyjść (b); przykład realizacji funkcji ZWARTÉ-I (c)

Wszędzie, gdzie pożądane jest zachowanie dużej prędkości przełączenia bramki, a wzrost obciążenia jest dopuszczalny - należy wolne wejścia połączyć z wejściem wykorzystywanym. Dołączenie niewykorzystanych wejść do napięcia zasilania (+5 V) przez rezystor ograniczający prąd (1-2 kΩ) powoduje wydłużenie czasu propagacji zbocza opadającego (HL) o około 1 ns. Gdy niewykorzystane wejścia pozostają wolne, występuje wtedy opóźnienie zbocza HL o około 1-2 ns. Jest to wynikiem istnienia pojemności wejściowej bramki (0,5-1,5 pF).

W przypadku niewykorzystywanych bramek ich wejścia należy dołączyć do masy, gdyż prowadzi to do zaniejszenia mocy traconej w układzie.

2/ Liczba wejść, które można dołączyć do wyjścia bramki jest ograniczona i określona przez tzw. obciążalność wyjścia. Standardowa bramka TTL ma obciążalność $N = 10$. Oznacza to, że do wyjścia bramki można dołączyć najwyżej 10 wejść. W celu zwiększenia obciążalności można połączyć równolegle wejścia i wyjścia bramek zawartych we wspólnej obudowie.

3/ Wyjść bramek TTL nie wolno łączyć równolegle, gdyż jeżeli jedno z wyjść ma potencjał wysoki, a drugie potencjał niski, to w przypadku ich połączenia do wyjścia w stanie włączenia wpłynąć będzie prąd zwarcia bramki w stanie wyłączenia (40+50 mA). Przy takim natężeniu prądu napięcie wyjściowe V_{OL} bramki w stanie włączenia wzrasta do wartości większej niż 0,4 V, a więc zaniejszą się wówczas marginesy zakłóceń.

Prąd wpływający z bramki w stanie wyłączenia jest bliski maksymalnemu prądowi zwarcia (55 mA) i w przypadku większej liczby wyjść tak połączonych lub zwartych do masy, nastąpi uszkodzenie układu. Tylko bowiem jedno wyjście bramek znajdujących się we wspólnej obudowie może być w danej chwili obciążone prądem zwarcia. Wynika stąd ogólny wniosek, że każde wyjście bramki NAND można obciążać wieloma wejściami, natomiast dowolne wejście bramek może być sterowane tylko z jednego wyjścia.

Do równoległego łączenia wyjść bramek TTL produkowane są układy o odpowiedniej konstrukcji tzw. bramki z otwartym kolektorem, w których kolektor tranzystora T_4 jest wyprowadzany na zewnątrz. Równoległe połączenie wyjść takich bramek umożliwi realizację funkcji logicznej zwanej iloczynem montażowym albo ZWARTO-I (WIRED AND). Schemat ideowy bramki z otwartym kolektorem przed-

stawiana na rysunku 3.2a. Układy te wymagają zastosowania dodatkowego rezystora R_C , dołączonego do napięcia zasilania U_{CC} (+5 V). Wartość rezystora R_C zależy od liczby n równolegle połączonych wyjść oraz liczby m wejść dołączonych bramek (rys. 3.2b). Wybierana jest ona w drodze kompromisu między wielkościami R_{Cmax} i R_{Cmin} . Wielkość R_{Cmax} ograniczona jest przez minimalną wartość napięcia wyjściowego bramki w stanie wyłączenia $U_{OHmin} = 2,4$ V oraz zależy od n i m według wzorów

$$R_{Cmax} = \frac{U_{CC} - U_{OHmin}}{n \cdot I_{OHmax} + m \cdot I_{IHmax}} \approx \frac{2,6}{n \cdot 0,25 + m \cdot 0,04} \quad [k\Omega]$$

Wielkość R_{Cmin} ograniczona jest przez maksymalną wartość napięcia wyjściowego bramki w stanie włączenia $U_{OLmax} = 0,4$ V oraz dopuszczalny pobór mocy. Wielkość ta może być wyliczona ze wzoru

$$R_{Cmin} = \frac{U_{CC} - U_{OLmax}}{I_{OLmax} - m \cdot I_{ILmax}} = \frac{4,6}{16 - m \cdot 1,6} \quad [k\Omega]$$

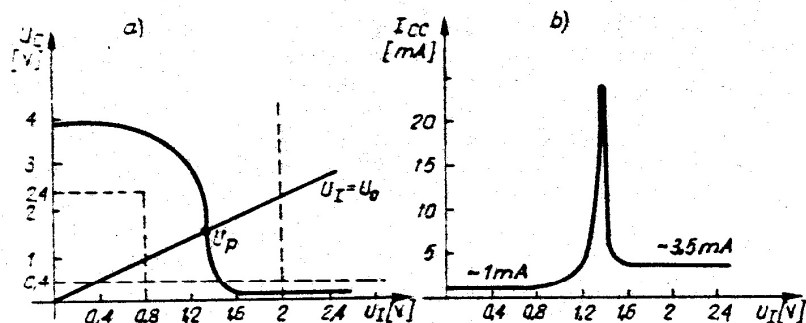
W powyższych wzorach przyjęto według katalogu wartości maksymalne prądów dla bramki UCY7401:

$$\begin{aligned} I_{OHmax} &= 250 \mu A & I_{OLmax} &= 16 \text{ mA} \\ I_{IHmax} &= 40 \mu A & I_{ILmax} &= 1,6 \text{ mA} \end{aligned}$$

3.1.2. Charakterystyki bramki NAND

A. Charakterystyka przejściowa

Charakterystyka przejściowa określa zależność między napięciem wejściowym i wyjściowym bramki. Na jej podstawie można ustalić poziomy napięć odpowiadające stanom logicznym "0" i "1" oraz określić marginesy zakłóceń statycznych. Na rysunku 3.3 przedstawiono typową charakterystykę przejściową bramki UCY7400 oraz zależność prądu zasilającego bramkę I_{CC} w funkcji napięcia wejściowego U_I .

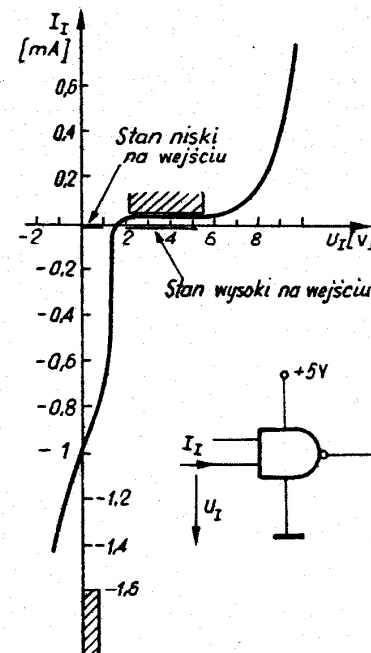


Rys. 3.3. Charakterystyka przejściowa bramki (a), zależność prądu zasilania od napięcia wejściowego przy wyłączeniu bramki (b)

Podczas wyłączenia bramki, tzn. przełączania od niskiego poziomu napięcia wyjściowego do wysokiego, występuje niekorzystne zjawisko polegające na tym, że tranzystor T_3 (rys. 3.1a) zaczyna przewodzić zania T_4 zostanie zatkany. Przewodzą wtedy obydwa tranzystory i prąd pobierany przez układ wzrasta do wartości około 15–25 mA. Zjawisko to występuje w zakresie napięć wejściowych 1,3–1,4 V, a więc blisko napięcia progowego U_p . Napięcie progowe bramki U_p definiuje się jako wartość napięcia, dla której napięcie progowe i wyjściowe są sobie równe. Na rys. 3.3a napięcie progowe wyznacza punkt przecięcia charakterystyki przejściowej z prostą $U_I = U_O$. Napięcie U_p dla bramek TTL jest zawarte w przedziale 1,4–1,5 V.

B. Charakterystyka wejściowa

Charakterystyka wejściowa ujaśnia zależność między prądem i napięciem wejściowym bramki. Na jej podstawie można określić wartość prądu wpływającego do wejścia o wysokim potencjale oraz wartość prądu wypływającego z wejścia, do którego przyłożony jest niski potencjał. Charakterystyka wejściowa bramki NAND (UCY7400) została przedstawiona na rysunku 3.4.



Rys. 3.4. Charakterystyka wejściowa bramki NAND(UCY7400)

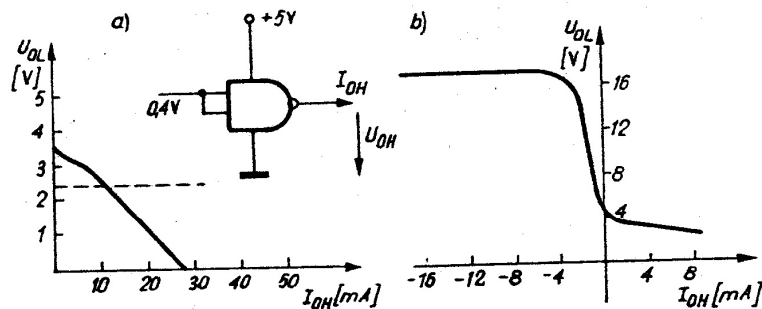
Przy potencjale wysokim (2–5,5 V) na wejściu pobór prądu nie przekracza $40 \mu A$ (wartość typowa $20 \mu A$), natomiast przy niskim poziomie napięcia wejściowego (0–0,8 V) prąd wejściowy nie przekracza 1,6 mA (wartość typowa 1 mA). Powyżej napięcia progowego U_p prąd wejściowy wpływa do wejścia bramki, natomiast poniżej 1,4 V zaczyna przewodzić wieloemiterowy tranzystor wejściowy, co powoduje odwrócenie kierunku prądu wejściowego.

Zakres przebiecia złączy emiter – baza tranzystora wejściowego (T_1) zaczyna się przy napięciu około 7 V i charakteryzuje się szybkim wzrostem prądu wejściowego. Prąd wypływający z wej-

cie silnie wzrasta przy potencjale niższym od $-1,5$ V. W tym zakresie napięć przewodzi bowiem dioda utworzona przez podłoże i tranzystor wejściowy. Aby nie przekroczyć dopuszczalnej mocy 400 mW, należy unikać podawania na wejście bramki ujemnego napięcia, albo ograniczyć wartość prądu wpływającego.

C. Charakterystyka wyjściowa w stanie wyłączenia

Na rysunku 3.5 przedstawiono typową charakterystykę wyjściową bramki w stanie wyłączenia. W tym stanie tranzystor T_3 (rysunek 3.1a) stopnia wyjściowego przewodzi, a T_4 jest zatkany. Napięcie wyjściowe bez obciążenia wynosi 3,6 V, a przy prądzie wyjściowym $400 \mu A$ (odpowiada to obciążalności $N = 10$) maleje o 0,2 V, co zapewnia duży zapas napięcia w odniesieniu do granicznej wartości 2,4 V.

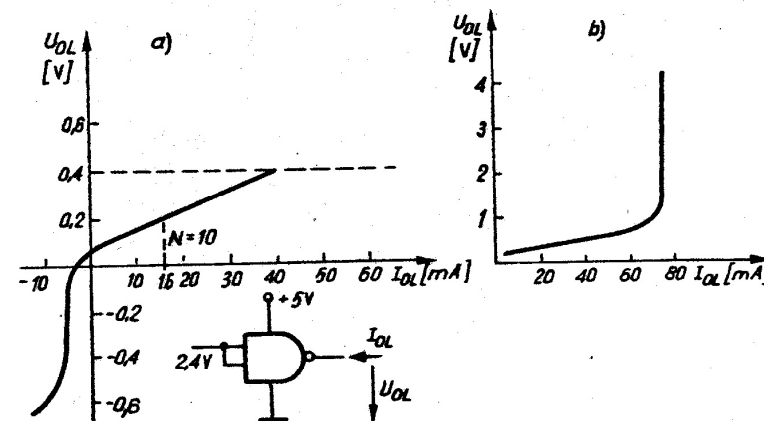


Rys. 3.5. Charakterystyka wyjściowa bramki w stanie wyłączenia (a), ta sama charakterystyka dla szerszego przedziału prądów wyjściowych (b)

Jeżeli do wyjścia bramki jest przyłożone (przez rezystor ograniczający) napięcie większe niż 4 V, wówczas napięcie między bazą a emitern tranzystora wyjściowego T_3 spada poniżej 0,7 V i tranzystor ten zatyka się. Przebicie na wyjściu występuje, jak to wynika z charakterystyki na rys. 3.5b, przy napięciu około 17 V. Ze względu na duży rozrzut tego napięcia, jego wartość dopuszczalna jest ograniczona do 5,5 V.

D. Charakterystyka wyjściowa w stanie włączenia

Charakterystykę wyjściową bramki w stanie włączenia przedstawiono na rys. 3.6. W tym stanie tranzystor T_3 w stopniu wyjściowym jest zatkany, a T_4 nasycony. Napięcie wyjściowe bez obciążenia wynosi 0,06 V i wzrasta przy przepływie prądu o natężeniu 16 mA (odpowiada to obciążalności $N = 10$) do 0,2 V, a więc do wartości mniejszej od granicznej (0,4 V).



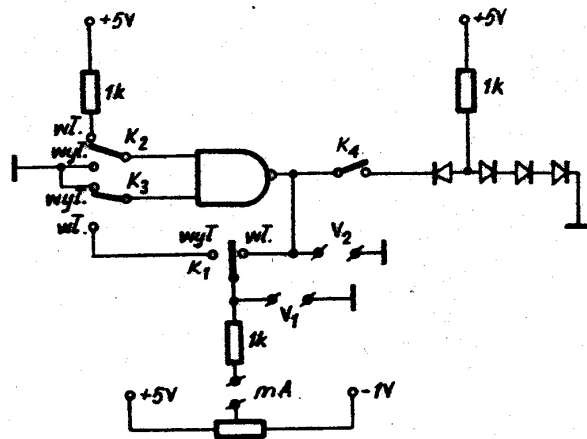
Rys. 3.6. Charakterystyka wyjściowa bramki w stanie włączenia (a), ta sama charakterystyka dla szerszego przedziału prądów wyjściowych (b)

Jeżeli wyjście jest zwarte do masy, przewodzi złącze kolektor-baza tranzystora T_3 . Zmienia się wówczas kierunek przepływu prądu i z wyjścia wypływa prąd około 3 mA. Gdy do wyjścia bramki zostanie przyłożone napięcie mniejsze od $-0,7$ V, wówczas zaczyna przewodzić złącze izolujące tranzystor T_4 od podłoża i widoczny jest związek z tym wzrost prądu wpływającego z wyjścia. Zwarcie wyjścia z obwodem zasilania ($+5$ V) wywołuje wzrost prądu do około 80 mA (rys. 3.6b). Moc tracona wtedy w elemencie powoduje szybki wzrost temperatury, co prowadzi do zniszczenia bramki.

3.2. Opis układu laboratoryjnego

3.2.1. Pomiar charakterystyk statycznych

Schemat układu pomiarowego do wyznaczania charakterystyk statycznych bramki NAND przedstawiono na rys.3.7.



Rys.3.7. Schemat ogólny układu pomiarowego do wyznaczania charakterystyk statycznych bramki

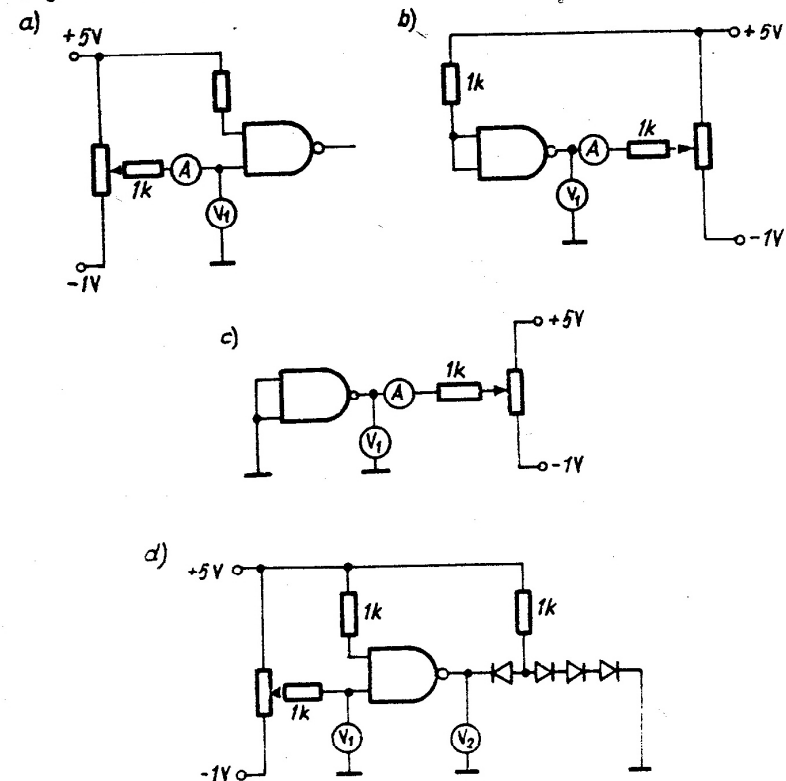
T a b l i c a 3.1

Ustawienie przełączników K_1-K_4 w układzie z rys.3.7 przy wyznaczaniu charakterystyk bramki

Przełączniki Charakterystyka	K_1	K_2	K_3	K_4
Wejściowa			1	1
Wyjściowa - włączenie	1	1	1	
Wyjściowa - wyłączenie	1			
Przejściowa		1	1	1

1 - oznacza włączenie przełącznika.

Układ umożliwia pomiar charakterystyk: wejściowej, wyjściowych i przejściowej. Układy pomiarowe do wyznaczania odpowiednich charakterystyk (rys.3.8) realizuje się przełącznikami K_1-K_4 według tabeli 3.1.



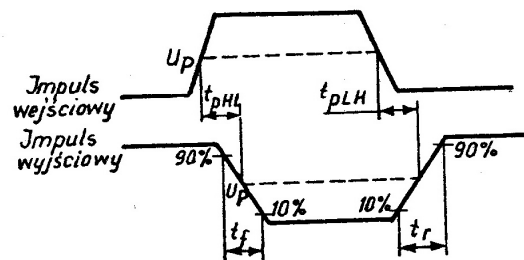
Rys.3.8. Schemat ideowy układu do wyznaczania charakterystyki wejściowej (a), wyjściowej w stanie włączenia (b), wyjściowej w stanie wyłączenia (c), przejściowej (d)

Woltomierzem cyfrowym V_1 i miliamperomierzem A mierzy się napięcia i prądy przy wyznaczaniu charakterystyk: wejściowej i wyjściowych. Przy wyznaczaniu charakterystyki przejściowej należy dodatkowo podłączyć woltomierz cyfrowy V_2 i zewrzeć miliamperomierz.

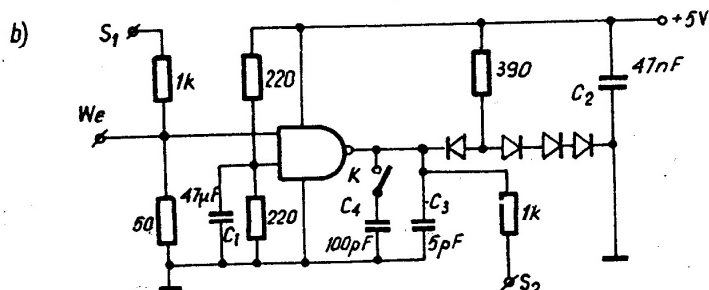
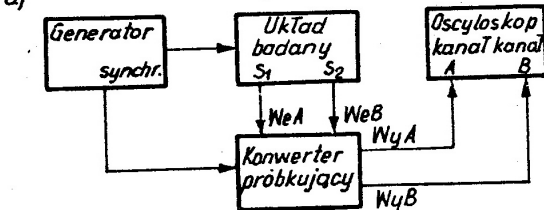
3.2.2. Pomiar parametrów dynamicznych

W ćwiczeniu dokonuje się, metodą oscyloskopową, pomiaru czasów narastania t_r , opadania t_f i opóźnień t_{pHL} , t_{pLH} impulsu (rys.3.9) na wyjściu bramek NAND:

- standardowej (UCY7400);
- superszybkiej (SN74S00).



Rys.3.9. Przebiegi ilustrujące czasy propagacji t_{pHL} , t_{pLH} , czas opadania t_f i czas narastania t_r



Rys.3.10. Schemat blokowy układu do pomiaru parametrów dynamicznych bramki (a), schemat ideowy układu badanego (b)

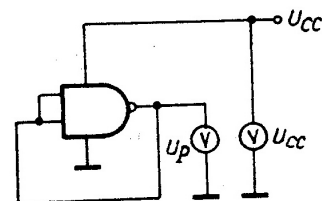
Schemat blokowy układu pomiarowego do wyznaczania parametrów dynamicznych bramek metodą oscyloskopową przedstawiono na rysunku 3.10a. Na rysunku 3.10b przedstawiono schemat ideowy układu, w którym badana jest bramka.

Uwaga:

- na wyjściu pomiarowym S_2 układu badanego jest dzielnik napięcia 1:20;
- w układzie do badania bramki superszybkiej nie ma kondensatora C_3 ;
- amplituda impulsu wejściowego nie powinna przekraczać 3 V.

6.2.3. Pomiar napięcia progowego

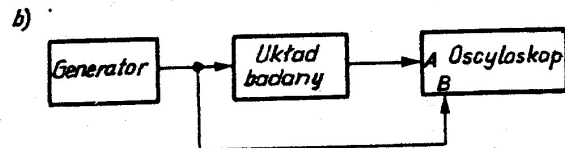
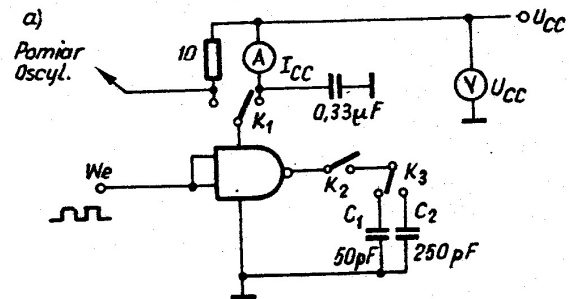
Pomiar napięcia progowego U_P w funkcji napięcia zasilającego U_{CC} wykonuje się w układzie jak na rys.3.11. Napięcie zasilające należy zmieniać w zakresie od 4,5 do 5,5 V.



Rys.3.11. Schemat układu do pomiaru napięcia progowego U_P

6.2.4. Pomiar mocy pobieranej przez bramkę

W układzie jak na rys.3.12a dokonuje się pomiaru mocy pobieranej przez bramkę. Przy wciśniętym przełączniku K_1 amperomierzem A mierzy się prąd zasilania I_{CC} , a woltomierzem V napięcie zasilające U_{CC} . Przełączniki K_2 i K_3 służą do dołączenia pojemności obciążenia C_1 lub C_2 . Przy wciśniętym przełączniku K_3 dołączona jest pojemność C_2 . Po wyłączeniu przełącznika K_1 w układzie pomiarowym, którego schemat blokowy przedstawiono na rys.3.12b, można obserwować wpływ obciążenia na kształt impulsu prądu zasilającego I_{CC} w chwili przełączania bramki.



Rys.3.12. Schemat układu do pomiaru mocy pobieranej przez bramkę (a); schemat blokowy układu do obserwacji prądu zasilającego bramkę (b)

3.3. Zadania do wykonania

1/ W układzie pomiarowym, jak na rys.3.8a, wyznaczyć charakterystykę wejściową bramki $I_I = f(U_I)$ w następujących zakresach prądów i napięć:

a/ w zakresie $(-I_I, -U_I)$, dla wartości napięcia U_I

$U_I = -0,8; -0,75; -0,6; -0,5; -0,3; 0 \text{ V}$

b/ w zakresie $(-I_I, U_I)$ dla wartości napięcia U_I

$U_I = 0; 0,5; 1; 1,2; 1,3; 1,4; 1,5 \text{ V}$

Zmierzyć wartość napięcia U_I dla $I_I = 0$.

c/ W zakresie (I_I, U_I) dla wartości napięcia U_I

$U_I = 1,7; 1,8; 2; 2,5; 3; 4 \text{ V}$

2/ W układzie pomiarowym, jak na rys.3.8b, wyznaczyć charakterystykę wyjściową bramki w stanie włączenia $U_{OL} = f(I_{OL})$ dla proponowanych wartości prądu I_{OL}

$I_{OL} = 0,5; 10; 15; 20; 25; 30; 35; 40; 45 \text{ mA}$

3/ W układzie pomiarowym, jak na rys.3.8c, wyznaczyć charakterystykę wyjściową bramki w stanie wyłączenia $U_{OH} = f(I_{OH})$ dla proponowanych wartości prądów I_{OH}

$I_{OH} = 0,1; 3; 5; 7; 10; 15; 20; 25; 30; 35 \text{ mA}$

4/ W układzie pomiarowym, jak na rys.3.8d, wyznaczyć charakterystykę przejściową bramki $U_0 = f(I_I)$ dla proponowanych wartości napięcia U_I

$U_I = 0; 0,5; 1; 1,2; 1,3; 1,35; 1,4; 1,45; 1,5; 1,6; 2; 3; 4 \text{ V}$

5/ W układzie pomiarowym, jak na rys.3.10a, zmierzyć czasy narastania, opadania i opóźnienia impulsu na wyjściu bramki przełączanej w układzie, jak na rys.3.10b (C_A odłączone):

a/ dla bramki standardowej;

b/ dla bramki superszybkiej.

Dla uproszczenia pomiarów, czasy propagacji wyznaczyć na poziomie wartości napięcia impulsów.

6/ Dołączyć do wyjścia badanych bramek pojemność C_A (wcisnięty przełącznik K) i zaobserwować wpływ pojemności obciążenia na czasy narastania, opadania i opóźnienia.

7/ Zaobserwować wpływ szybkości narastania, opadania i amplitudy impulsu wejściowego na odpowiednie parametry impulsu wyjściowego.

8/ W układzie jak na rys.3.11 wyznaczyć zależność $U_p = f(U_{CC})$.

9/ W układzie jak na rys.3.12a wyznaczyć zależność $P_S = I_{CC} U_{CC} = f(f)$ przy przełączaniu bramki falą prostokątną o amplitudzie 4 V i częstotliwości od 10 kHz do 10 MHz . Pomiar wykonać dla bramki nieobciążonej oraz dla obciążenia pojemnościowego C_1 i C_2 .

10/ W układzie pomiarowym jak na rys.3.12b zaobserwować wpływ obciążenia na kształt i wartość impulsu prądu zasilającego bramkę.

3.4. Pytania i zagadnienia kontrolne

- 1/ Podać główne parametry i ogólną charakterystykę układów scalonych TTL.
- 2/ Narysować schemat ideowy bramki NAND (TTL), omówić rozptyw prądów wejściowych i wyjściowych oraz podać ich wartości maksymalne dla stanów włączenia i wyłączenia.
Podać dopuszczalne zakresy napięć.
- 3/ Narysować i omówić charakterystyki: wejściową, wyjściową i przejściową bramki NAND (TTL).
- 4/ Omówić proces przełączania bramki.
- 5/ Wymienić i omówić inne rodzaje bramek TTL.
- 6/ Narysować schemat ideowy i omówić przeznaczenie bramek NAND z otwartym kolektorem.
- 7/ Jak należy dobierać rezystor obciążenia dla bramek NAND z otwartym kolektorem?
- 8/ W jakich przypadkach wolno łączyć równolegle wyjścia bramek TTL ?
- 9/ Jak można zwiększyć obciążalność wyjścia bramek TTL ?
- 10/ Zdefiniować główne parametry dynamiczne bramki. Podać wartości liczbowe czasów propagacji dla bramek TTL: standardowej, szybkiej, superszybkiej.
- 11/ Jak można wyznaczyć wartość napięcia progowego U_p ?
- 12/ Porównać właściwości i parametry bramek NAND, ECL i MOS.