

PLYTKA TESTOWA

Do praktycznego testowania realizowanych projektów laboratoryjnych przeznaczona jest płytko testowa *TREX C1* firmy *Terasic Technologies* z układem FPGA serii *Cyclone* typu EP1C6Q240C8.

Oscylatory kwarcowe

Sygnal	Pin
OSC_50MHz	28
OSC_27MHz	153

Diody LED (światłość w stanie 1)

Sygnal	Pin
LED0	50
LED1	11
LED2	228
LED3	193
LED4	170
LED5	131
LED6	108
LED7	73

Przyciski (naciśnięcie podadaje stan 0)

Sygnal	Pin
KEY0	14
KEY1	13
KEY2	12
KEY3	8
KEY4	7
KEY5	6
KEY6	4
KEY7	2

Przełączniki (pozycja ON podaje stan 0)

Sygnal	Pin
SW1	184
SW2	183
SW3	182
SW4	181

Laboratorium Układów Programowalnych
Instrukcja obsługi systemu Quartus oraz zestawu T-Rex C1

Wyświetlacz 7-segmentowy LED (sterowanie stanem 0)

Sygnal	Pin
SEG0	198
SEG1	197
SEG2	196
SEG3	195
SEG4	188
SEG5	187
SEG6	186
SEG7	185
DIG0	203
DIG1	202
DIG2	201
DIG3	200

VGA

Sygnal	Pin
VGA_B0	216
VGA_B1	215
VGA_B2	214
VGA_B3	213
VGA_G0	220
VGA_G1	219
VGA_G2	218
VGA_G3	217
VGA_R0	225
VGA_R1	224
VGA_R2	223
VGA_R3	222
HSYNC	206
VSYNC	207
TR_TVRES=1 <i>Ustawić, aby wyłączyć wyjście telewizyjne</i>	221

RS-232

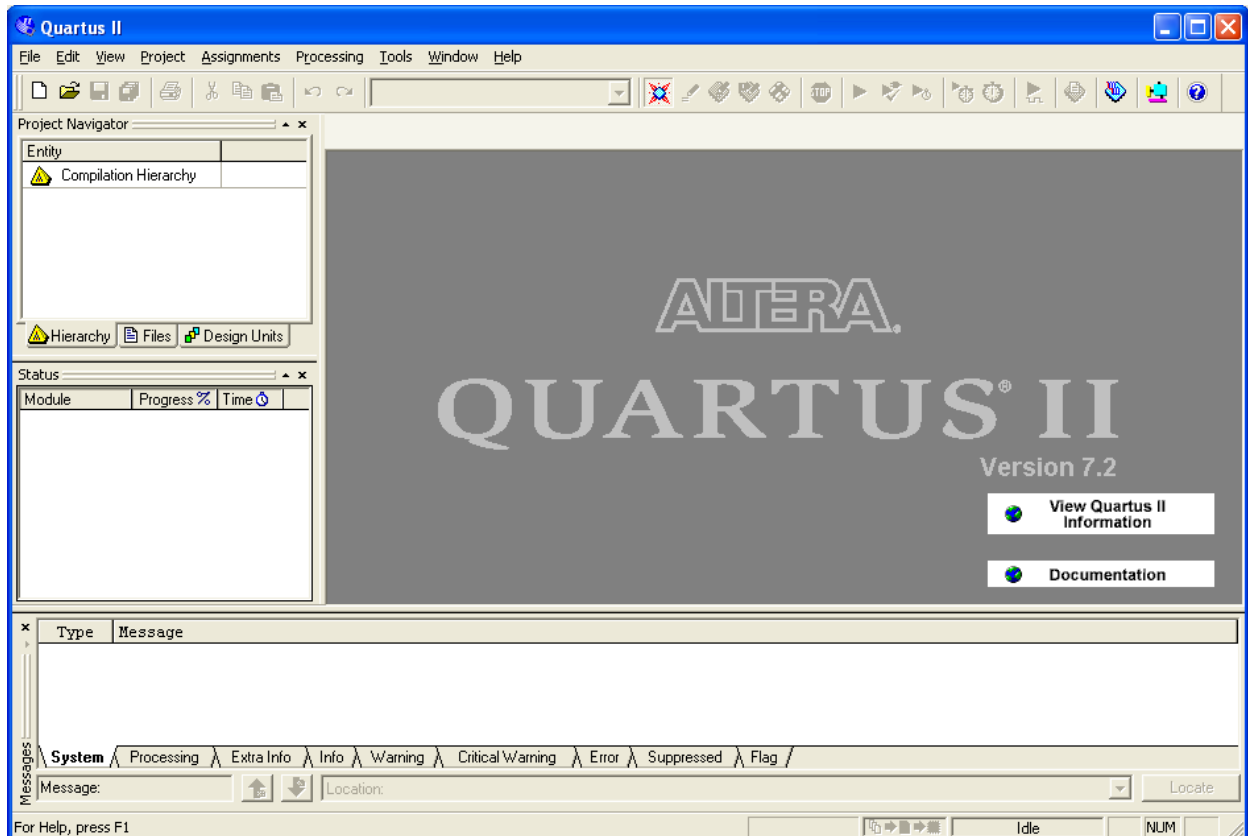
Sygnal	Pin
TXD	204
RXD	205

PROCES PROJEKTOWANIA

Możliwości systemu projektowego *Quartus II* ilustruje projekt licznika modulo 16 z kasowaniem asynchronicznym. Opis działania licznika należy przygotować w języku VHDL.

Uruchomienie systemu

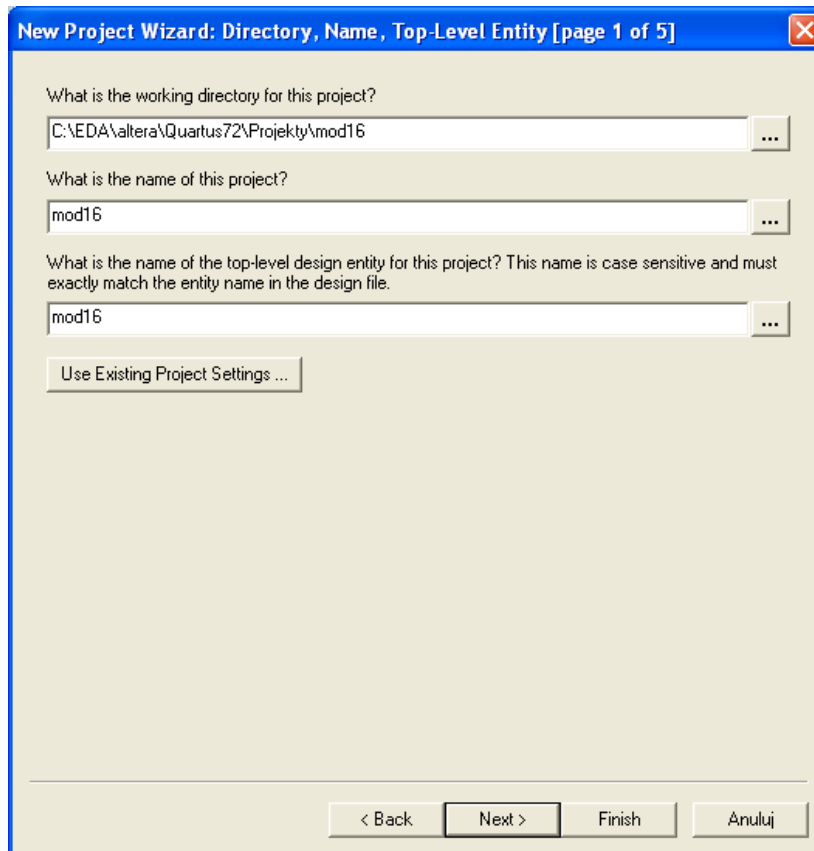
Po uruchomieniu programu pojawia się navigator projektu.



W celu utworzenia nowego projektu należy:

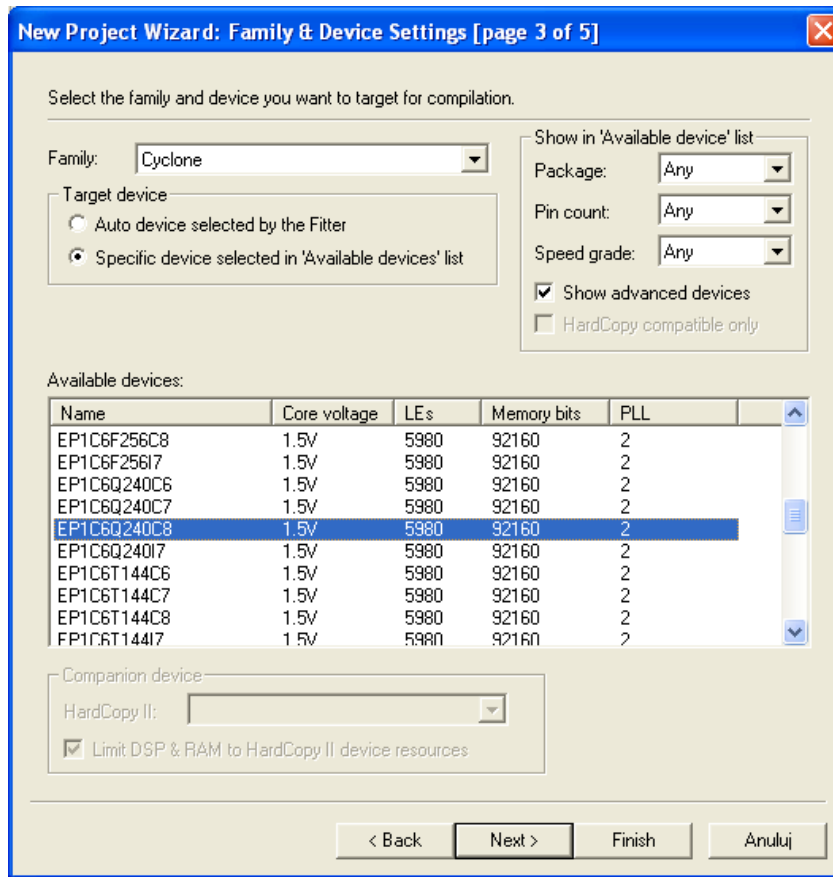
1. Wybrać *File* → *New Project Wizard* uruchamiając *New Project Wizard: Introduction*, nacisnąć *Next*
2. Wybrać/utworzyć kartotekę dla projektu, wpisać nazwę projektu *mod16*, wpisać nazwę *mod16* dla *top-level design entity*, nacisnąć *Next*

Laboratorium Układów Programowalnych
Instrukcja obsługi systemu Quartus oraz zestawu T-Rex C1



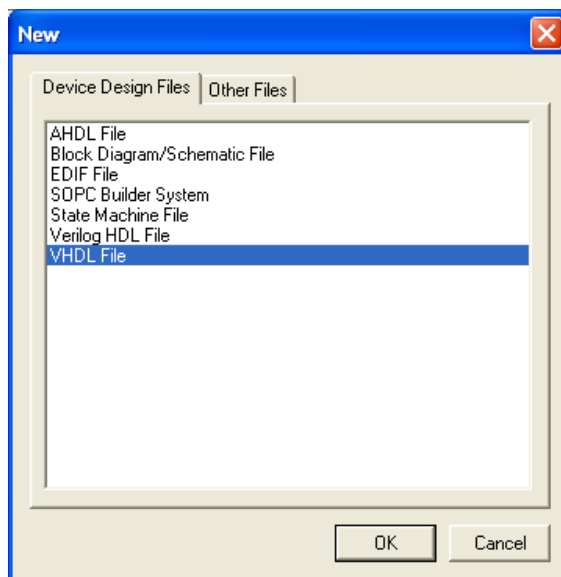
3. Zatwierdzić utworze nowego projektu
4. Kolejne okno pomiąć poprzez *Next*
5. W następnym oknie wybrać układ **EP1C6Q240C8**, nacisnąć *Next*
6. Kolejne okno pomiąć poprzez *Next*
7. Ostatnie okno to podsumowanie wybranych opcji projektu, nacisnąć *Finish*

Laboratorium Układów Programowalnych
Instrukcja obsługi systemu Quartus oraz zestawu T-Rex C1



W celu opisanja licznika modulo 16 w języku VHDL należy:

- Wybrać *File* → *New*
- W oknie *New* wybrać typ pliku *VHDL File*, nacisnąć *OK*

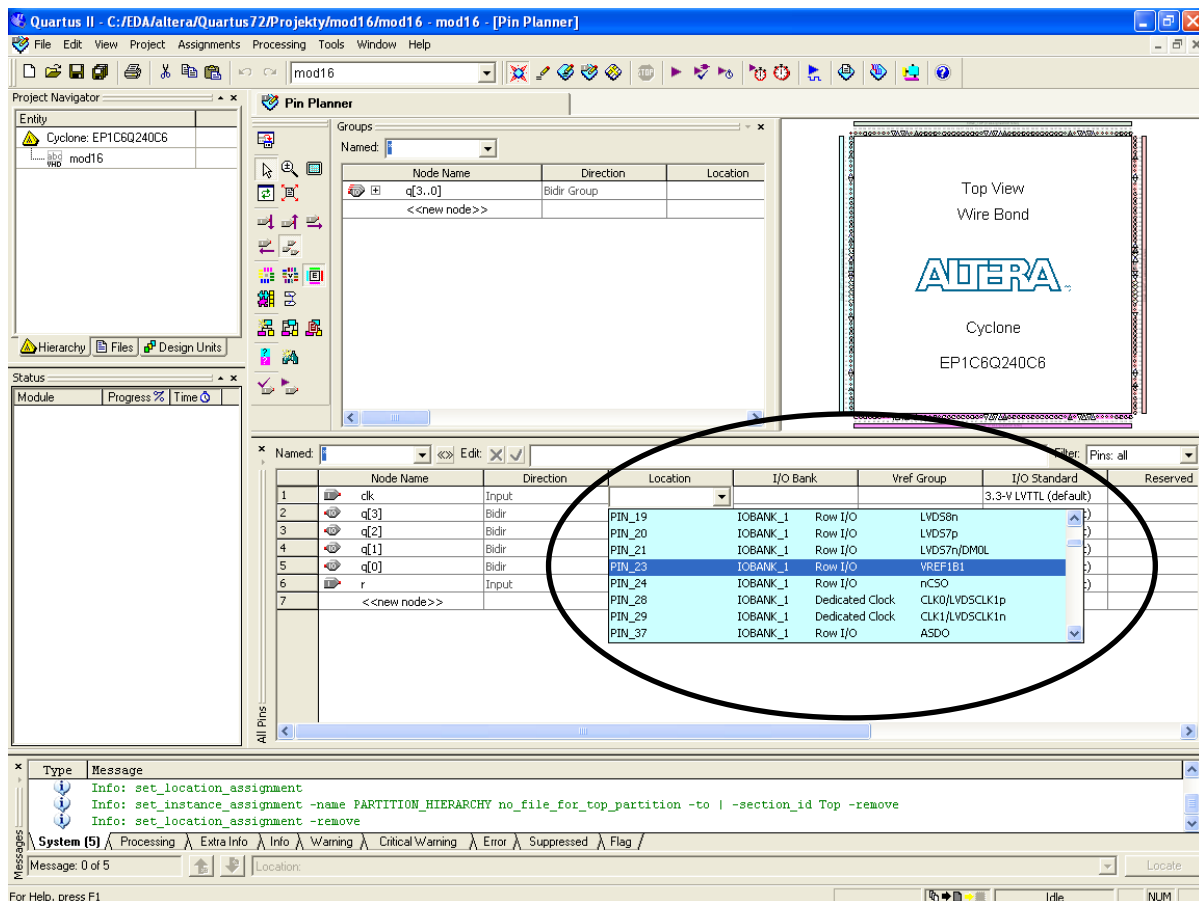


Laboratorium Układów Programowalnych
Instrukcja obsługi systemu Quartus oraz zestawu T-Rex C1

10. Wybrać *File* → *Save As*, w polu *File Name* wpisać nazwę pliku *mod16*, nacisnąć *Save*
11. W utworzonym pliku *mod16.vhd* opisać działanie licznika (*licznik binarny modulo 16 z kasowaniem asynchronicznym*)
12. W celu sprawdzenia poprawności składni języka VHDL uruchomić kompilator *Processing* → *Start Compiler*

Przypisanie sygnałom odpowiednich końcówek układu FPGA:

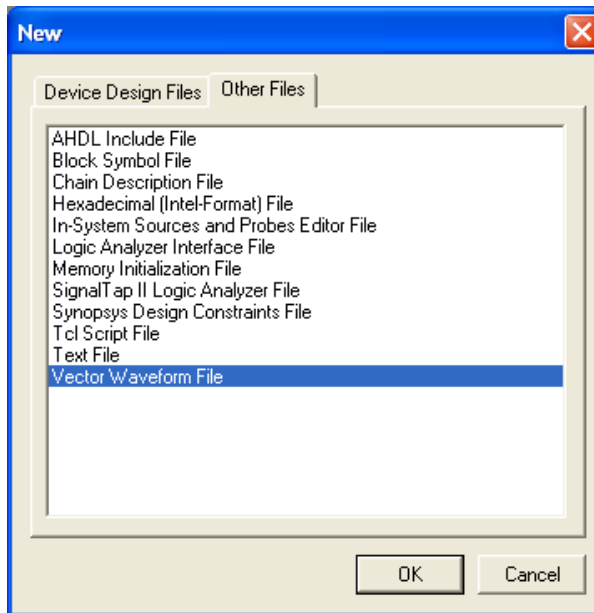
13. Wybrać *Assignments* → *Pins*, pojawia się zakładka *Pin Planner*
14. W polu *All Pins*, w kolumnie *Location*, dla każdego sygnału wybrać odpowiednią końcówkę układu FPGA
15. Zamknąć *Pin Planner*



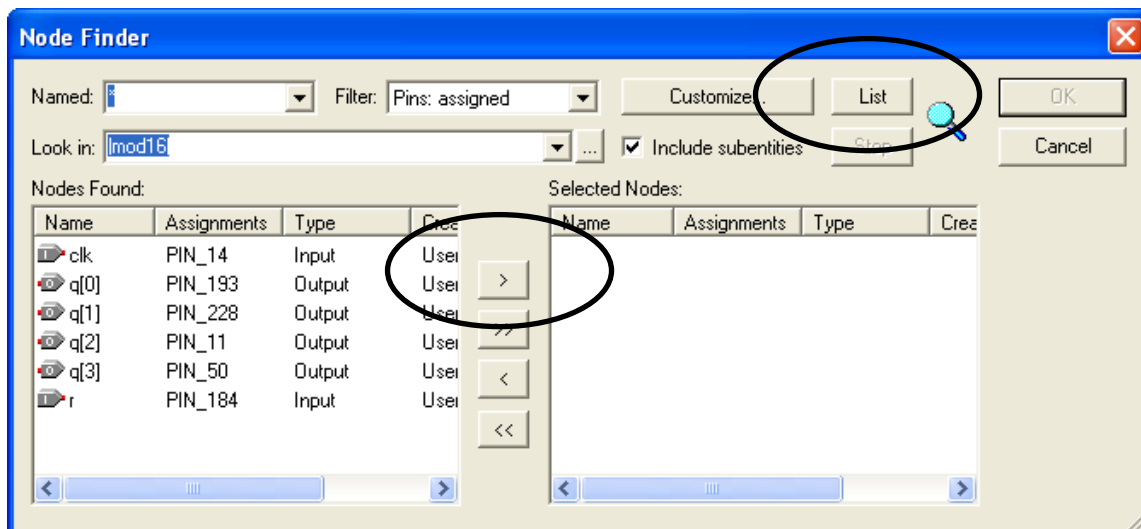
Symulacja działania układu licznika:

16. Wybrać *File* → *New* w celu otwarcia okna *New*
17. W zakładce *Other Files* wybrać *Vector Waveform File*, nacisnąć *OK*

Laboratorium Układów Programowalnych
Instrukcja obsługi systemu Quartus oraz zestawu T-Rex C1



18. Pojawia się edytor przebiegów z plikiem *Waveform1.vwf*
19. Wybrać *Edit* → *Insert* → *Insert Node or Bus*, w oknie *Insert Node or Bus* naciskamy *Node Finder*
20. W oknie *Node Finder* naciskamy *List*
21. Następnie zaznaczamy sygnał zegarowy (np. *clk*) i naciskamy przycisk z symbolem *>*, to samo dla sygnału kasowania (np. *r*)
22. Zamykamy okna *Node Finder* oraz *Insert Node or Bus* (przycisk *OK*)



23. W edytorze przebiegów zaznaczyć sygnał zegarowy *clk* i wybrać *Edit* → *Value* → *Clock*
24. Pojawia się okno *Clock*, w którego polu *Period* wpisujemy 50
25. Zamykamy okno *Clock*
26. Następnie zaznaczamy odcinek od 10 ns do 60 ns w przebiegu sygnału

- kasowania *r* i ustawiamy stan 1 poprzez *Edit* → *Value* → *Forcing High (1)*
27. Zapisać plik pod nazwą *mod16.vwf* poprzez *File* → *Save*
 28. Uruchamiamy symulator *Processing* → *Start Simulation*

Programowanie układu FPGA:

29. Wybrać *Tools* → *Programmer*
30. W zakładce *mod16.cdf* nacisnąć *Start*