# **Projekt inwertera CMOS**

(GG, PK, Electric VLSI 9.07, LTSpice XVII, v1.1)



### **1.CEL ĆWICZENIA**

Celem ćwiczenia jest opracowanie schematu elektrycznego i projektu topograficznego inwertera CMOS. Inwerter zostanie wykonany przy użyciu programu *Electric VLSI* i stosując technologię CMOS 0,5 µm (*C5 Process*). Działanie zaprojektowanego układu zostanie sprawdzone przy użyciu symulatora *LTSpice*.

### 2.WSTĘP

Program *Electric VLSI* należy do grupy programów CAD (*Computer Aided Design* – Projektowanie Wspomagane Komputerowo) i służy do projektowania układów scalonych *ASIC (Application Specific Integrated Circuit* – Układ Scalony Specjalnego Przeznaczenia). Dzięki temu programowi projektant może przygotować schemat elektryczny oraz projekt topograficzny (ang. *layout*) układu scalonego.

Program *Electric VLSI* należy do grupy tzw. wolnego oprogramowania (wolnego w sensie otwartego dostępu do kodu źródłowego, zgodnego z GNU) – najnowszą wersję programu można pobrać za darmo ze strony <u>www.staticfreesoft.com</u>. Środowisko zostało napisane w języku Java, do prawidłowej pracy wymaga *JRE (Java Runtime Environment* – Środowisko Uruchomieniowe Java), które można pobrać ze strony <u>www.oracle.com</u>.

Symulacja działania układu zostanie przeprowadzona w programie *LTSpice*, który można pobrać ze strony <u>www.linear.com/designtools/software</u>. Modele tranzystorów do symulacji, wykonane w procesie technologicznym *C5 (ON Semiconductor)*, można pobrać ze strony <u>www.cmosedu.com/cmos1/electric/C5\_models.txt</u>. Sposób konfiguracji programu *Electric VLSI* do pracy z symulatorem *LTSpice* opisano na stronie cmosedu.com/cmos1/ltspice/ltspice electric.htm.

#### **3. PROGRAM ELECTRIC VLSI**

Środowisko *Electric VLSI* jest programem bezinstalacyjnym – pobrany plik JAR uruchamia się poprzez dwukrotne kliknięcie na ikonę. Program domyślnie powinien być otwierany przy użyciu wirtualnej maszyny Javy.

# 3.1 Idea działania

*Electric VLSI* jest programem zorientowanym na połączenia pomiędzy elementami. Dotyczy to zarówno schematu elektrycznego jak również projektu topograficznego. To jest główna różnica w działaniu tego programu w porównaniu do innych środowisk CAD np. *Cadence, Mentor Graphics*, itp. Program wyróżnia dwa główne rodzaje elementów: węzły oraz połączenia/łuki (Rys. 1, Rys. 2). Aby połączyć ze sobą dwa węzły, należy wybrać kursorem jeden z nich (LPM, Lewy Przycisk Myszy), następnie ustawić kursor na drugi i przycisnąć PPM (Prawy Przycisk Myszy).



Rys. 1. Połączenia pomiędzy elementami schematu elektrycznego.



Każdy projekt w programie Electric VLSI nazywany jest biblioteką (*library* - rys. 3). W każdej bibliotece podstawowym składnikiem jest komórka (*cell*). Komórki o takiej samej nazwie są grupowane. Utworzenie jednego elementu bibliotecznego (Rys. 3) polega na

narysowaniu schematu elektrycznego (sch), przygotowaniu dla niego symbolu (ic) oraz projektu topograficznego (lay). Ważne jest aby nadawane nazwy były identyczne, inaczej program nie dołączy danej komórki do elementu. W trakcie pracy program *Electric VLSI* sam dokonuje grupowania komórek według ich nazw. W trakcie działania programu może być otwarta więcej niż jedna komórka. Wykonanie symbolów elementów przydaje się przy projektowaniu hierarchicznych schematów elektrycznych i podczas wykonywania tego zadania ten etap zostanie pominięty.



Rys. 3. Przykład struktury projektowej

# 3.2 Interfejs programu

Główne okno środowiska (Rys. 4) składa się z następujących elementów: paska opcji (A), okna widoku komórki (B), okna wiadomości (C).

Blectric	
File Edit Cell Export View Window Tools Help	
🚵 🖬 💽 🕂 🖾 🛤 0.5 📰 👎 🗂 🛐 🎕 🖉 😭 🔶 🚔 👄	
@ ***NONE***	
Components Explore Layes ERBORS JOBS B No cell in this window	• •
Liectric's log file is D:\Programy\Electric\electric.log.	•
NOTHING SELECTED TECH: mocmos (scale=200.0nm,foundry=MOSIS)	

Rys. 4. Okno programu Electric VLSI.

Pasek opcji zawiera wszystkie polecenia i ustawienia środowiska *Electric VLSI*. Okno wiadomości zawiera dane zwracane przez program przy wykonywaniu określonych akcji, np.

informuje o wszystkich błędach na schemacie elektrycznym lub w projekcie topograficznym, podczas wywołania sprawdzenia reguł projektowych. Najważniejszym oknem jest widok komórki. Okno to składa się z dwóch części. Po lewej stronie jest pole o trzech zakładkach. Zakładka *Components* zawiera zbiór elementów do rysowania schematu lub projektu topograficznego. Zakładka *Explorer* zawiera drzewo bibliotek z wyszczególnionymi komórkami. Zakładka *Layers* zawiera spis warstw schematu lub projektu topograficznego (Rys. 5), które można pokazać lub ukryć. Po prawej stronie, znajduje się obszar roboczy, gdzie projektant spędza najwięcej czasu, edytując schemat elektryczny lub projekt topograficzny komórki.



Rys. 5. Paleta komponentów zależnie od rodzaju edytowanej komórki.

# 3.3 Komponenty schematu oraz projektu topograficznego

W ramach niniejszego zadania, do narysowania schematu elektrycznego będą zastosowane cztery komponenty (tabela 1).

Symbol	Symbol Nazwa	
Źródło zasilania (POWER) – ma jeden węzeł w środku symbolu. Przy jego pomocy układ jest zasilany.		
· · · · ·	Masa układu (GND) – ma jeden węzeł u góry symbolu. W schemacie stanowi potencjał zerowy układu.	
G 2 S/D	Tranzystor PMOS – posiada trzy węzły: bramkę (G) oraz dren/źródło (D/S) i źródło/dren (S/D). Dwie liczby mówią o jego wymiarach – górna (większa) o szerokości kanału, natomiast dolna (mniejsza) o długości kanału. Obie liczby są w jednostkach lambda (λ). Posiada kanał typu P.	
	Tranzystor NMOS – podobnie jak tranzystor PMOS, jednak posiada kanał typu N.	

#### Tabela 1. Elementy schematu elektrycznego.

Projekt topograficzny układu zawiera więcej elementów (tabela 2). Związane jest to po pierwsze ze wspomnianą "połączeniową" natura programu, po drugie ze względu na występowanie 11 warstw w których powstaje docelowy układ scalony. Część elementów zawiera nazwy stosowane

w programie *Electric VLSI*.

Tabela 2. Elementy projektu topograficznego.

Layout	Nazwa
	Metal-1 – większość połączeń sygnałowych jest wykonywana w pierwszej warstwie metalizacji.
	Metal-2 – połączenia zasilania są wykonywane zwykle w drugiej warstwie metalizacji.
	Przelotka Metal-1 do Metal-2 – łączy dwie warstwy metalizacji ze sobą.
	Polikrzem-1 – tworzy bramki tranzystorów MOS i pozwala te bramki łączyć ze sobą.

Layout	Nazwa
	Posiada znacznie większą rezystancję niż metalizacje.
	Przelotka Polikrzem-1 do Metal-1 – łączy pierwszą warstwę polikrzemu z pierwszą warstwą metalizacji.
	Tranzystor PMOS ( <i>pMos</i> ) – składa się z czterech warstw: podłoża N, P-Select, P- Active oraz Polikrzemu-1. Dren i źródło nie posiadają kontaktu z Metalem-1. Aby taki kontakt wykonać, należy do górnego/dolnego końca dodać element P- Active.
	Kontakt obszaru aktywnego P do Metal-1 ( <i>pAct</i> ) – składa się z pięciu warstw: podłoża N, P-Select, P-Active, Via-1 oraz Metal-1. Pozwala dołączyć dren lub źródło tranzystora PMOS do Metal-1.
	Studnia N ( <i>nWell</i> ) – składa się z pięciu warstw: podłoża N, N-Select, N-Active, Via-1 oraz Metal-1. Pozwala dołączyć podłoże tranzystora PMOS do wyższego potencjału zasilania układu.

Layout	Nazwa
	Tranzystor NMOS ( <i>nMos</i> ) – składa się z czterech warstw: podłoża P, N-Select, N- Active oraz Polikrzemu-1. Dren i źródło nie posiadają kontaktu z Metalem-1. Aby taki kontakt wykonać, należy do górnego/dolnego końca dodać element N- Active.
	Kontakt obszaru aktywnego N do Metal-1 ( <i>nAct</i> ) – składa się z pięciu warstw: podłoża P, N-Select, N-Active, Via-1 oraz Metal-1. Pozwala dołączyć dren lub źródło tranzystora NMOS do Metal-1.
	Studnia P ( <i>pWell</i> ) – składa się z pięciu warstw: podłoża P, P-Select, P-Active, Via- 1 oraz Metal-1. Pozwala dołączyć podłoże tranzystora NMOS do niższego potencjału zasilania układu.

# 3.4 Sposób łączenia elementów w layoucie

W celu wykonania złożonej struktury, np. tranzystor NMOS z kontaktami do drenu i źródła, po umieszczeniu elementów w przestrzeni roboczej programu, należy wykonać między nimi połączenia. Po utworzeniu komórki projektu topograficznego (lay) można przystąpić do jej edycji. W poniższym przykładzie posłużono się tranzystorem NMOS do zademonstrowania sposobu łączenia elementów.

Na początek należy umieścić wszystkie potrzebne elementy (Rys. 6) w obszarze roboczym – w tym przypadku tranzystor *nMos* oraz dwa kontakty *nAct*. Umieszcza się je w pewnej

odległości od siebie, jednak warto umieścić je współliniowo, aby łatwiej było je połączyć ze sobą.



Rys. 6. Umieszczenie komponentów w obszarze roboczym.

Po prawidłowym ustawieniu, przystępuje się do wykonania pierwszego połączenia (Rys. 7). Kursorem myszki wybiera się końcówkę tranzystora (w tym przypadku Dren/Źródło). Następnie kursorem ustawia się na kontakcie *nAct* i przyciska się PPM (Rys. 8). W ten sposób wykonano pierwsze z dwóch połączeń (Rys. 9). Warto zauważyć, że połączenie zostało wykonane w warstwach podłoża P, N Select, N Active. Czynność łączenia powtarza się dla drugiego kontaktu (Rys. 10).



Rys. 7. Zaznaczenie drenu/źródła tranzystora (LPM).



Rys. 8. Ustawienie kursora myszki na kontakcie oraz naciśnięcie PPM.



Rys. 9. Tranzystor z połączonym drenem/źródłem do kontaktu.



Rys. 10. Tranzystor z dwoma połączonymi kontaktami.

W ten sposób wykonano tranzystor *nMos* z dwoma kontaktami do warstwy *Metal-1*. Aby zmniejszyć powierzchnię zajmowaną przez tranzystor, redukując jednocześnie rezystancję kanału, należy zaznaczyć jeden z kontaktów (Rys. 11) i trzymając LPM przeciągnąć go w stronę bramki tranzystora (Rys. 12). Czynność powtórzyć dla drugiego kontaktu (Rys. 13).



Rys. 13. Tranzystor z przysuniętymi kontaktami.

Dysponując wystarczającą wiedzą na temat działania programu *Electric VLSI* oraz sposobu łączenia elementów można przystąpić do projektowania pierwszej bramki logicznej – inwertera.

#### 4. SCHEMAT ELEKTRYCZNY INWERTERA CMOS

W tej części ćwiczenia zostanie zaprojektowany schemat elektryczny inwertera. Po uruchomieniu programu *Electric VLSI*, należy utworzyć nową bibliotekę komponentów. W tym celu należy wybrać *File*→*New Library* i w nazwie podać numer grupy szkoleniowej, np. "E9X1S1". W zakładce *Explorer* okna głównego powinna pojawić się nowa biblioteka. Dla porządku, można zamknąć domyślną bibliotekę *noname*, klikając na niej PPM i wybierając opcję *Close Library* z menu kontekstowego.

Aby utworzyć komórkę inwertera ze schematem elektrycznym (sch), należy kliknąć LPM na utworzoną bibliotekę, zaznaczając ją, następnie wybierać opcję *Cell*  $\rightarrow$ *New Cell*... z paska opcji, lub wcisnąć kombinację *CTRL*+*N* z klawiatury. W nowym oknie, w polu *Name* należy nadać nazwę komórce "inv", natomiast w polu *View* wybierać *schematic*. Kliknąć *OK* w celu zatwierdzenia.

Widok okna *Explorer* zmienił się – przy bibliotece pojawił się znak "+". Po kliknięciu na nim pokaże się nowa komórka schematu elektrycznego. Jednocześnie widok obszaru roboczego zmienia się, ponieważ utworzona komórka została od razu otwarta i jest obecnie pusta. W celu ułatwienia pracy, można wcisnąć kombinację CTRL+G, która włączy reprezentację siatki w obszarze roboczym. Program powinien wyglądać jak na Rys. 14.



Rys. 14. Program *Electric VLSI* przygotowany do edycji schematu elektrycznego inv{sch}.

#### Edycja schematu elektrycznego

Należy wybrać zakładkę *Components* aby móc skorzystać z palety elementów schematu elektrycznego. W obszarze roboczym należy umieścić elementy: *Power, Ground, Transistor(pMos)*, *Transistor(nMos)* oraz *Off-Page* i rozmieścić zgodnie z Rys. 15.

Przybliżenie i oddalenie widoku jest możliwe przy pomocy przycisków z palety opcji (lupa), lub przez przytrzymanie przycisku *CTRL* na klawiaturze i kręcenie pokrętłem myszy.



Rys. 15. Wstępnie rozmieszczone elementy schematu.

Teraz należy wykonać pierwsze połączenie. Niech będzie to źródło tranzystora PMOS z dodatnim potencjałem zasilania (*Power*). Klikamy LPM na element *Power* a następnie PPM na źródło tranzystora PMOS. Rys. 16 zawiera poszczególne etapy wykonywania połączenia: a) ustawienie kursora na elemencie *Power*, b) zaznaczenie go przez LPM (można zauważyć znak "+" w miejscu tworzenia węzła), c) najechanie na tranzystor w okolicach źródła (można zauważyć znak "+" na węźle źródła), d) naciśnięcie PPM, co powoduje wykonanie połączenia oraz e) kliknięcie LPM celem odznaczenia elementu.



W ten sposób należy postępować z kolejnymi połączeniami: źródło NMOS i *Ground*, dreny PMOS i NMOS, bramki PMOS i NMOS, etykiety wejścia/wyjścia. Po wykonaniu połączeń, schemat inwertera powinien wyglądać jak na Rys. 17.



Aby wykonane połączenia były widoczne w programie poza daną komórką, należy je eksportować. Operację eksportowania wykonuje się, poprzez zaznaczenie etykiety wejścia/wyjścia, następnie wybranie opcji *Export* →*Create Export* (lub naciśnięcie sekwencji CTRL+E). Następnie nazwanie eksportowanego węzła oraz nadanie mu typu (zasilanie, masa, wejście lub wyjście). Nadanie prawidłowego typu jest niezbędne do poprawnego przeprowadzenia symulacji. Przykład eksportowania wejścia układu ("in") pokazano na Rys. 18.



Rys. 18. Kolejne etapy eksportowania węzła.

Analogicznie należy dokonać eksportu wyjścia układu ("out"). Węzły masy i zasilania (*Power, Ground*) zostaną automatycznie dołączone do odpowiednich napięć więc nie ma potrzeby ich eksportowania.

Kolejnym etapem jest zwymiarowanie tranzystorów i przypisanie im odpowiednich modeli do symulacji. W tym zadaniu tranzystory maja mieć kanały o długości 2  $\lambda$  i szerokości 10  $\lambda$ 

(NMOS) i 20  $\lambda$  (PMOS). W tym celu należy dwukrotnie kliknąć LPM na tranzystor NMOS i wprowadzić stosowne wartości (*Width* = 10 oraz *Length* = 2) i zatwierdzić OK. Czynność powtórzyć dla tranzystora PMOS.

W celu przypisania modelu Spice należy zaznaczyć LPM jeden z tranzystorów i wybrać opcję *Tools*→*Simulation (Spice)*→*Set Spice Model*... (Rys. 19). Na ikonie tranzystora pojawi się dodatkowe pole tekstowe *SPICE-Model*. Należy zmienić jego nazwę na NMOS (tranzystor NMOS) lub PMOS (tranzystor PMOS). Dla zwiększenia czytelności pole tekstowe można przesunąć

i obrócić (CTRL+J).



Rys. 19. Przypisanie tranzystorom modelów symulacyjnych.

Gotowy schemat powinien wyglądać jak na Rys. 20.



Rys. 20. Kompletny schemat elektryczny inwertera.

Ostatnią rzeczą do wykonania jest przeprowadzenie sprawdzianu reguł projektowych w schemacie elektrycznym (DRC – *Design Rule Check*). W tym celu należy wybrać opcję *Tools*  $\rightarrow$ *DRC*  $\rightarrow$ *Check Hierarchically* lub nacisnąć klawisz F5. W oknie wiadomości powinien pojawić się komunikat o braku błędów (Rys. 21). Jeżeli pojawiły się błędy, to przy pomocy sekwencji SHIFT+',' i SHIFT+'.' (co oznacza wybranie znaków '<' oraz '>' z klawiatury) należy je odszukać i wyeliminować. W przypadku braku błędów można przystąpić do symulacji działania układu.

Blectric Messages	- 0
Nothing in the clipboard to paste	*
1616	
Checking schematic cell 'inv{sch}'	
No errors found	_
0 errors and 0 warnings found (took 0.005 secs)	E
Rys. 21. Brak blędów w regułach projektowych.	

### 4.1 Symulacja czasowa inwertera

Przed przystąpieniem do symulacji należy określić jej rodzaj, przypisać na wejście odpowiednie wymuszania oraz określić gdzie znajdują się modele tranzystorów NMOS i PMOS. Z komponentu *Misc.* (ang. *Miscellaneous*, różne) należy wybrać *Spice Code* i umieścić ten obiekt w dowolnym miejscu schematu. Na schemacie elektrycznym pojawi się pole tekstowe. Należy dokonać edycji jego właściwości (*Edit* →*Properties* →*Object Properties*... lub CTRL+I).

W nowo otwartym oknie (Rys. 22) zaznaczyć opcję *Multi-Line Text* (prawy górny róg) i wprowadzić w polu tekstowym następujące informacje:

vdd vdd 0 DC 5 vin in 0 pulse 0 5V 1n 200p 200p 5n 10n .tran 10n .include C:\ŚCIEŻKA DO PLIKU!\C5 models.txt

😨 Text F	roperties			-		×
SPICE code			M	ulti-Line T	ext	
vdd vdd 0 1 vin in 0 p tran 10 n .include C	NC 5 Lie δ 57 Ln 200p 200p 5n 10n -/UBers/Lab ZTC/Leskrop/CS_models.tut					
Text Size:	20		<ul> <li>Points (min 1, max 63)</li> <li>Units (min 0.25, max 127.75)</li> </ul>	All Te Scale	ext Sizes a ed by 100°	are %
X offset:	-1.5		(0.25 increments	Bold	i 🗌 Ita	lic
Y offset:	-26.5		maximum 4088)		Underline	•
Rotation:	0	~	Highlight Owner	🗌 Invi	sible outsi	de cell
Anchor:	centered	~	Boxed width: 0 height:	0		
Font:	DEFAULT FONT					$\sim$
Color:	DEFAULT COLOR					$\sim$
Code: N	ot Code					$\sim$
Units:						~
Show: v	aue			_		$\sim$

Rys. 22. Właściwości obiektu Spice Code.

Pierwsza linia powoduje dołączenie do układu napięcia zasilania 5 V. Druga linia powoduje dołączenie do wejścia *in* źródła napięcia wytwarzającego impulsy o amplitudzie 5 V, opóźnieniu (offset) 1 ns, czasach narastania i opadania 200 ps, czasie trwania 5 ns i okresie 10 ns. W trzeciej linii określono rodzaj symulacji *.tran* (ang. *transient*, symulacja czasowa) trwającej 10 ns. Ostatnia linia informuje o ścieżce dostępu do pliku C5\_models.txt, który zawiera parametry tranzystorów NMOS i PMOS. Należy określić własną ścieżkę dostępu w zależności od lokalizacji pliku w komputerze.

Aby uruchomić symulację należy przy otwartej komórce schematu wybrać opcję *Tools*  $\rightarrow$ *Simulation* (*Spice*)  $\rightarrow$ *Write Spice Deck...*. Pojawi się okno programu *LTSpice*. Należy wybrać opcję *View*  $\rightarrow$ *Visible Traces* i zaznaczyć do wyświetlenia sygnały V(in) i V(out). W oknie wykresu powinny wyświetlić się przebiegi czasowe na wejściu i wyjściu układu (Rys. 23).



Rys. 23. Okno programu LTSpice.

Należy zapoznać się z obsługą programu *LTSpice*:

- przybliżanie i oddalanie widoku,
- dodawanie paneli (PPM, *Add Plot Pane*) i wyświetlanie wybranych przebiegów układu (PPM, *Add Traces*),
- użycie kursorów (kliknąć LPM na nazwie przebiegu np. V(in), ustawić kursor w żądanym położeniu).

Dokonać pomiaru czasu propagacji opracowanego inwertera. Zweryfikować czy  $t_{pHL} \approx t_{pLH}$ . Sprawdzić wpływ szerokości tranzystorów na czas propagacji oraz kształt przebiegu wyjściowego.

#### 5. PROJEKT TOPOGRAFICZNY INWERTERA CMOS

Po wykonaniu popranego schematu elektrycznego negatora oraz symulacji jego zachowania, można przystąpić do przygotowania projektu topograficznego (ang. *layout*) układu. W celu utworzenie nowej komórki należy wybrać opcję *Cell*  $\rightarrow$ *New Cell*.... Następnie do bieżącej biblioteki dodać komórkę o nazwie "inv", rodzaj widoku ustawić na "*layout*", natomiast technologie układu na "*mocmos*" (Rys. 24).

Należy pamiętać, aby nazwa komórki layoutu była taka sama jak nazwa komórki schematu elektrycznego. W przeciwnym razie *Electric VLSI* nie skojarzy tych dwóch komórek za sobą. Na koniec można przycisnąć OK. Widok obszaru roboczego zmienił się, również paleta elementów w zakładce *Components*. Dla porządku można przycisnąć kombinację CTRL+G, celem podświetlenia siatki, co może pomóc przy projektowaniu projektu topograficznego. Odległość między pogrubionymi kropkami siatki wynosi 10 jednostek, natomiast między pozostałymi kropkami 1 jednostkę. Ponadto na palecie opcji można wybrać rozdzielczość przesuwania kursora (Rys. 25). Zaleca się ustawić wartość przesuwu na 1. Środowisko gotowe do pracy powinno wyglądać podobnie jak na Rys. 26.

💽 New Cell	×
Library:	E9X1S1 -
Name:	inv
	schematic
	icon
	ayout
	layout.skeleton =
View:	layout.compensated
	VHDL
	Verilog
	documentation
	documentation.waveform 👻
Technology:	mocmos 👻
	Cancel Make new window OK

Rys. 24. Dodawanie komórki projektu topograficznego inwertera.

😨 Electric Ustawienia siatki			
<u>File Edit Cell Export View Window Tools Help</u>			
🔁 🖶 🕐 Q 🖸 🖊 🛄 🧱 📑	🖹 🕅 🛠 🕼 🖓 🔶 🔶 🕷 👄		

Rys. 25. Ustawienia siatki i przesuwu kursora.



Rys. 26. Środowisko przygotowane do edytowania projektu topograficznego.

Przed przystąpieniem do projektowania projektu topograficznego należy przygotować środowisko do pracy. Konieczne jest dokładne określenie technologii jaka zostanie użyta. Inwerter zostanie wykonany w procesie CMOS 0,5  $\mu$ m (*C5 Process*), dedykowanym do aplikacji 5 V, z trzema warstwami metalizacji (http://www.onsemi.com/PowerSolutions/content.do?id=16693).

Należy wybrać opcję *File* →*Preferences*... Pojawi się okno ustawień środowiska *Electric VLSI*.

W drzewie ustawień należy przejść do zakładki *Technology* a w niej do punktu *Technology*. W polu *Defaults* ma być wybrana technologia *mocmos*, natomiast w ustawieniach technologii ma być wybrana opcja trzech warstw metalizacji. Prawidłowo uzupełnione okno powinno wyglądać tak, jak na Rys. 27. W punkcie *Design Rules*, u dołu okna, pole *Min. resolution in lambda* powinno wynosić 0.01 (Rys. 28).

🕐 Preferences		
Technology PROJECT Preferences         Defaults         Startup technology:         Layout technology to use for Schematics:         mocmos •         PSubstrate process in Layout Technology         mocmos Technology         Metal layers:         3 Layers •         •         Submicron rules         •         SCMOS rules (4 metal or less)         •         Deep rules (5 metal or more)         © Second Polysilicon Layer         Diallow stacked vias         Alternate Active and Poly contact rules         Analog	Categories General Display Tools Added Technologies Added Technologies Scale Units Cancel Export Reset All (Only resets USER Preference) Help Apply Cancel OK	Technology USER Preferences         Schematic primitives:         Buffer (buffer/nyverter ^         And (and/nand)         Or (or/nor)         <         WHDL for primitive:         Duffer (buffer)         VHDL for primitive:         Duffer         NHDL for negated primitive:         Inverter         Rotate layout transistors in menu

Rys. 27. Okno ustawień technologii.

Preferences					
Categories	D	esign R	ules USER Preference	s	
⊕ General ⊕ Display	Design Rules for Technology Node Rules	'mocm	os' with foundry MOSI	s	
in I/O in I/O in I/O	Metal-1-Pin	*	Min. S	ize	Rule
Technology     Added Technologies	Metal-2-Pin Metal-3-Pin	= w	/idth:		
Technology     Design Rules	Metal-4-Pin	<del>т</del> Н	eight:		
Scale	Layer Rules			Mar Malas	p. l.
	From Layer:			Min. value	Kule
	Polysilicon-2	*	Size:	3	2.1 Mosis
	P-Active	- 11	Area:		
	N-Active	*	Enclosure Area:		
	To Layer:		Show only "to" e	entries with	rules
	Metal-1		Normal:	Distance	Rule
	Metal-2		When connected:	1	3.5 Mosis
	Metal-3 Rolucilicon 1	_	Not connected:	1	3.5 Mosis
	Polysiicon-2	-	Edge:	<u> </u>	
	P-Active				1
	N-Active		Wide rules:	Distance	Rule
	P-Select	Ξ			1
	N-Select		· · · · · ·		
	P-Well			If Width >	
	N-Well				
	Poly-Cut		an	d Length >	
Export Import	Via1		Delete Wide F	Rule	Add Wide Rule
Export	Via2				L
Reset Reset All	Passivation		Multiple via cuts:	Distance	Rule
(Only resets USER Preferences)	Transistor-Poly				
	Poly-Cap				
Help Apply	P-Active-Mell	•			
Cancel OK	Min. resolution in lambda: 0.01	(us	se 0 to ignore resolutio	on check)	

Rys. 28. Okno ustawień reguł projektowych.

Na koniec, w punkcie *Scale*, powinna być wybrana opcja *mocmos (scale=300.0 nanometers)* – Rys. 29.



### 5.1 Edycja projektu topograficznego

Wykonanie projektu topograficznego układu jest zadaniem o wiele bardziej złożonym niż wykonanie schematu elektrycznego. Należy mieć na szczególnej uwadze, że minimalne odległości między elementami danej warstwy oraz rozmiary pól zostały dokładnie opisane przez dostawcę technologii (<u>http://www.engr.uconn.edu/~chandy/ece249/SN05\_Rules.pdf</u>). Środowisko *Electric VLSI* samo pilnuje (w czasie rzeczywistym) przestrzegania tych reguł, wszelkie ich naruszenia odpowiednio sygnalizując.

Projektowanie można rozpocząć od umieszczenia w obszarze roboczym elementów: tranzystora *nMos*, dwóch kontaktów *nAct* w dolnej części obszaru roboczego, tranzystora *pMos* oraz dwóch kontaktów *pAct* w górnej części obszaru roboczego. Tranzystory po umieszczeniu w obszarze roboczym są skierowane pionowo, co nie jest optymalne w tym przypadku. Należy kolejno na każdy z nich kliknąć LPM i wcisnąć kombinację CTRL+J co spowoduje obrócenie elementu w kierunku przeciwnym do ruch wskazówek zegara. Należy zadbać, by tranzystory były odsunięte od siebie o pewien dystans, np. o co najmniej 15 jednostek. Obszar roboczy powinien wyglądać podobnie jak na Rys. 30.



Rys. 30. Wstępne rozmieszczenie tranzystorów i kontaktów.

Tranzystory powinny być odpowiednio zwymiarowane, tak jak określono to na schemacie elektrycznym. W tym celu należy zaznaczyć wybrany tranzystor i edytować jego właściwości (np. kliknąć dwa razy LPM na danym elemencie lub po jego zaznaczeniu wcisnąć CTRL+I). Określić wielkość tranzystora NMOS na Width: 10 i Length: 2 oraz PMOS na Width: 20 i Length: 2. Szerokości kontaktów dla uproszczenia zostaną określone na takie same jak tranzystorów (10 i 20).

Jednocześnie, mając wybrany tranzystor, należy przypisać mu model symulacyjny (Tools ->Simulation (Spice) ->Set Spice Model...). Aby dokonać edycji pola tekstowego SPICE-Model należy przy wciśniętym LPM zaznaczyć obszar na którym on się znajduje. Po wybraniu opcji Edit ->Properties ->Object Properties... lub wciśnięciu CTRL+I pojawi się okno wyboru zaznaczonych elementów Rys. 31. Należy zaznaczyć Text: SPICE model on node P-Transistor ['pmod@1'] wcisnąć przycisk Remove Others a następnie OK. W ten sposó wybrany został konkretny obiekt, który można teraz edytować. Po dwukrotnym kliknięciu na tekście SPICE-Model LPM lub wybraniu CTRL+I należy zmienić tekst na NMOS lub PMOS (w zależności od wybranego rodzaju tranzystora).



Po obróceniu elementów, ich zwymiarowaniu i określeniu modeli tranzystorów powinno uzyskać się widok jak na Rys. 32.



Rys. 32. Obrócone i zwymiarowane tranzystory wraz z kontaktami.

Po rozmieszczeniu elementów można przystąpić do wykonywania połączeń kontaktów z tranzystorami. Należy zwrócić szczególną uwagę na fakt, że elementy projektu topograficznego, np. kontakt pAct składa się z wielu warstw, m. in. Metal-1 oraz P-Active. Jeżeli na kontakt kliknie się LPM a następnie w wolnej przestrzeni roboczej PPM to zostanie wykonana domyślnie ścieżka w warstwie Metal-1. Jednak jeżeli ten sam kontakt kliknie się LPM a klawiszem PPM kliknie się na brzeg pMos tranzystora o tej samej polaryzacji to zostanie wykonane połączenie w

warstwie P-Active. Dzieje się tak dlatego, ponieważ środowisko *Electric VLSI* samo decyzję, w której warstwie ma poprowadzić ścieżke. Szczegółowe informacje na temat wykonywanja

w której warstwie ma poprowadzić ścieżkę. Szczegółowe informacje na temat wykonywania połączeń tranzystora w projekcie topograficznym zamieszczono na stronach 8-9. Projekt topograficzny z połączonymi tranzystorami powinien wyglądać podobnie do Rys. 33.



Rys. 33. Wykonanie połączeń między tranzystorami a kontaktami.

Tranzystory w postaci z Rys. 33 posiadają kanał oraz kontakty do pierwszej warstwy metalizacji, jednak odległości między kanałami a kontaktami są znaczne. Powoduje to duże rezystancje tranzystorów w stanie przewodzenia (R<sub>DSon</sub>), redukujac maksymalna czestotliwość pracy inwertera (z powodu dużych rezystancji wyjściowych, inwerter nie jest w stanie wystarczająco szybko przeładować pojemności wejściowej reprezentowanej przez bramkę lub bramki dołączane do wyjścia układu). Z tego względu wymagane jest zmniejszenie odległości kontaktów od kanałów tranzystorów. W tym celu należy chwycić za kontakt przy pomocy LPM przeciągnąć mysza w kierunku tranzystora (Rys. 34). Warto zauważyć, że oprócz białych prostokątów, będących reprezentacją krawędzi przesuwanego elementu, pojawia się również dynamiczny napis informujący o ewentualnym przekroczeniu reguł projektowych. Jeżeli kontakt znajdzie się zbyt blisko kanału tranzystora, pojawi się napis np. ERROR! P-Active spacing is ... MINIMUM IS 3. Oznacza to że dany element znalazł się zbyt blisko innego. Zanim się upuści element należy przesunać go odpowiednio w przeciwną stronę, aż informacja o błędzie zniknie. Wtedy można element puścić. Prawidłowo przesuwając kontakty w kierunku tranzystorów powinno się uzyskać layout zbliżony do tego z Rys. 35.



Rys. 34. Sposób działania dynamicznego sprawdzania części reguł projektowych.



Rys. 35. Tranzystory z podłączonymi prawidłowo kontaktami.

Naciskając LPM na kontakcie pAct z prawej strony tranzystora pMos oraz PPM na kontakcie nAct z prawej strony tranzystora nMos uzyska się połączenie w pierwszej warstwie metalizacji, zwierając dreny tranzystorów ze sobą. Podobnie, naciskając LPM na dolnym

brzegu bramki *pMos* oraz PPM na górnym brzegu bramki *nMos* uzyska się zwarcie bramek tranzystorów. Layout powinien wyglądać podobnie jak na Rys. 36.



Rys. 36. Wykonanie połączeń bramek oraz drenów tranzystorów.

Ważnym elementem projektu topograficznego jest dodanie kontaktów do studni tranzystorów. Zapobiega to tzw. zatrzaskiwania się układu ze względu na występowanie w strukturze CMOS pasożytniczego tyrystora. Tyrystor ten w odpowiednich warunkach może uniemożliwić prawidłową pracę układu, znacząco zwiększyć przepływ prądu przez zwarcie linii zasilających a w rezultacie uszkodzić układ. Z tego powodu do każdej ze studni (N oraz P) dodaje się kontakty. Są to inne kontakty niż *pAct* albo *nAct* ponieważ są zbudowane z takich samych obszarów domieszkowania jak studnie i w programie *Electric VLSI* nazywają się odpowiednio *nWell* oraz *pWel*l. Na Rys. 37 pokazano gdzie powstaje pasożytnicza struktura oraz jak dołączone są studnie do tranzystorów. Należy zauważyć, że do tranzystora NMOS jest dołączona studnia P, natomiast do PMOS – studnia N.



Rys. 37. Umiejscowienie pasożytniczego triaka oraz kontaktów do studni.

Aby zabezpieczyć układ przed zatrzaskiwaniem, należy z palety komponentów wybrać *nWell* 

i umieścić powyżej tranzystora *pMos*, analogicznie postępując w przypadku *pWell* i tranzystora *nMos* (Rys. 38). Dwukrotnie klikając LPM na każdą ze studni należy zmienić ich rozmiary. Odpowiednio X Size = 10, Y size = 5. Dodatkowo należy KONIECZNIE

dopilnować aby obszary zakropkowane (*N-WELL*) tranzystora *pMos* oraz kontaktu studni *nWell* się STYKAŁY, poprzez przesunięcie elementu *nWell*. Analogicznie w przypadku kontaktu studni pWell

i tranzystora *nMos*. Jest to kluczowe, ponieważ musi być to wspólny obszar studni danego tranzystora, aby kontakt zadziałał i wyeliminował efekt tyrystorowy.



Rys. 38. Umieszczenie kontaktów do studni.

Kolejnym etapem jest połączenie kontaktów studni ze źródłami tranzystorów przez pierwszą warstwę metalizacji (Rys. 39). Kolejno klikając na źródło *pMos* i kontakt *nWell* zostanie poprowadzona ścieżka w warstwie Metal-1. Analogicznie należy postąpić w przypadku tranzystora *nMos* oraz kontaktu *pWell*.



Rys. 39. Wykonanie połączeń w pierwszej warstwie metalizacji.

Linie masy i zasilania zostaną poprowadzone w drugiej warstwie metalizacji (*Metal-2*). Dla lepszej przejrzystości projektu topograficznego linie te zostaną poprowadzone pod lub nad kontaktami do studni. W praktyce mogą one być umieszczane bezpośrednio nad studnią.

Z palety komponentów należy wybrać element *Metal-2-Pin* i umieścić go nad studnią *nMos* (lub pod studnią *pMos*). Mając zaznaczony ten obiekt należy kliknąć PPM na prawo lub lewo od niego. W ten sposób powstanie w projekcie warstwa metalizacji *Metal-2*, jak na Rys. 40.



Rys. 40. Utworzenie ścieżki w drugiej warstwie metalizacji.

W celu połączenia pierwszej i drugiej warstwy metalizacji należy zaznaczyć jeden z elementów: utworzoną ścieżkę w warstwie *Metal-2* lub kontakt do studni i PPM kliknąć na drugim elemencie. Warto zauważyć, że automatycznie została dodana odpowiednia przelotka (*Metal-1-Metal-2-Con*, Rys. 41). Postępując analogicznie dla drugiej studni uzyskuje się projekt topograficzny jak na Rys. 42.



Rys. 41. Projekt topograficzny z szyną zasilania w drugiej warstwie metalizacji.



Rys. 42. Projekt topograficzny z szynami uziemienia i zasilania w drugiej warstwie metalizacji.

Kolejnym etapem jest przygotowanie linii dla wejścia i wyjścia układu. Zostaną one wykonane w pierwszej warstwie metalizacji (*Metal-1*). W tym celu w połowie odległości między tranzystorami należy dodać: węzeł *Metal-1-Pin* oraz przelotkę *Metal-1-Polisilicon-1-Con* zgodnie

z Rys. 43.



Rys. 43. Umieszczenie węzła pierwszej warstwy metalizacji oraz przelotki Metal-1 do Polikrzem-1.

Należy zaznaczyć węzeł *Metal-1-Pin* przy pomocy LPM, następnie przelotkę *Metal-1-Polisilicon-1-Con* przy pomocy PPM. W ten sposób zostanie wykonane połączenie w pierwszej warstwie metalizacji. Następnie należy kliknąć LPM na przelotkę oraz PPM na ścieżkę polikrzemu łączącą obie bramki tranzystorów (warstwa *Polysilicon-1*). Projekt topograficzny tego fragmentu powinien być jak na Rys. 44.



Rys. 44. Wykonanie połączeń dla wejścia układu.

W ten sposób wykonano wejście układu, przez przejście z warstwy polikrzemu, łączącego bramki tranzystorów do pierwszej warstwy metalizacji. Wielkość ścieżki łączącej przelotkę *Metal-1-Polisilicon-1-Con* z warstwą *Polysilicon-1* można zmienić edytując jej właściwości (kliknąć na ścieżce dwukrotnie LPM lub zaznaczyć ją i wcisnąć CTRL+I). Możliwa jest zmiana szerokości (*Width*) oraz zakończeń (*End Extension*). Przelotka *Metal-1-Polisilicon-1-Con* może zostać także dosunięta do ścieżki w warstwie *Polysilicon-1* łączącej tranzystory.

Wyjście inwertera na schemacie elektrycznym znajduje się pomiędzy drenami tranzystorów NMOS i PMOS. Jest to więc ścieżka wykonana w warstwie *Metal-1* po prawej stronie projektu topograficznego. Dla lepszej przejrzystości wyjście zostanie wykonane na ścieżce odchodzącej po przeciwnej stronie wejścia. Należy zaznaczyć ścieżkę w warstwie *Metal-1* łączącą dreny tranzystorów i kliknąć PPM na prawo od niej, na wysokości ścieżki wejściowej. Projekt topograficzny powinien wyglądać jak na Rys. 45.



Rys. 45. Projekt topograficzny inwertera.

Ostatnią czynnością jest eksportowanie nazw węzłów, podobnie jak to miało miejsce w przypadku schematu elektrycznego. W tym przypadku konieczny jest także eksport węzłów zasilania i masy.

W celu eksportowania węzła zasilania należy przy pomocy kursora myszy podświetlić kwadrat symbolizujący węzeł z lewej strony ścieżki zasilania w *Metal-2* i wcisnąć kombinację CTRL-E. Po pojawieniu się nowego okna, należy nadać nazwę "vdd" oraz wybrać typ *Power*. Nacisnąć OK. Podobnie należy postępować z węzłami "gnd", "in" oraz "out" pamiętając, że ważna jest również wielkość liter w nazwie (np. węzeł "in" na schemacie elektrycznym nie będzie skojarzony z węzłem "IN" w projekcie topograficznym). Prawidłowo wykonany projekt topograficzny wraz z wyeksportowanymi węzłami powinien wyglądać jak na Rys. 46



Rys. 46. Projekt topograficzny inwertera z wyeksportowanymi węzłami.

Eksportowanie węzłów było ostatnim etapem projektowania projektu topograficznego inwertera. Teraz należy przeprowadzić kontrolę poprawności. Wybierając opcje *Tools →DRC →Check Hierarchically* (klawisz F5) wykonuje się sprawdzenie reguł projektowych (Rys. 47). W przypadku intensywnego edytowania projektu topograficznego może się zdarzyć, że pozostaną zbędne fragmenty projektu, albo odległości między elementami będą nieprawidłowe. Wtedy DRC odnajdzie te błędy, wyświetlając odpowiedni komunikat w oknie wiadomości. Wciskając kombinacje klawiszy SHIFT+',' lub SHIFT+'.' (SHIFT-PRZECINEK lub SHIFT-KROPKA) należy zlokalizować te błędy i je usunąć.

🕲 Electric Messages	
	*
Running DRC with area bit on, extension bit on, Mosis bit	
Checking again hierarchy (0.0 secs)	
Found 7 networks	
Checking cell 'inv{lay}'	
No errors/warnings found	
0 errors and 0 warnings found (took 0.047 secs)	E
	-
< III	F

Rys. 47. Brak błędów związanych z naruszeniem reguł projektowych.

Kolejnym testem jest sprawdzenie poprawnego umieszczenia kontaktów do studni. W tym celu należy wybrać opcję *Tools →ERC →Check Wells*. Program przeanalizuje poprawność umieszczenia studni (Rys. 48). W przypadku błędów należy sprawdzić, czy studnie są odpowiednio dosunięte do tranzystorów.

Electric Messages	
Checking Wells and Substrates in 'E9X1S1:inv(lav)'	*
Geometry collection found 12 well pieces, took 0.0 secs	
Geometry analysis used 4 threads and took 0.0 secs	
NetValues propagation took 0.0 secs	
Number of well contacts: 2	
Additional analysis took 0.016 secs	
No Well errors found (took 0.016 secs)	E
	-
< III	4

Rys. 48. Brak błędów związanych z nieprawidłowym dołączeniem kontaktów studni.

Ostatnim testem jest sprawdzenie zgodności projektu topograficznego ze schematem. W tym celu należy wybrać opcję *Tools*  $\rightarrow NCC \rightarrow Schematic and Layout Views in Cell in Current Window. W oknie wiadomości pojawi się stosowny komunikat (Rys. 49). Ewentualne błędy mogą być związane z nieprawidłowymi nazwami eksportowanych węzłów lub inne niż na schemacie połączenie elementów ze sobą.$ 

Blectric Messages	
HATTICHT HATTER CON TITE DOD	
No Well errors found (took 0.016 secs)	_
306	
Hierarchical NCC every cell in the design: cell 'inv{sch}' cell 'inv{lay}'	
Comparing: E9X1S1:inv{sch} with: E9X1S1:inv{lay}	
exports match, topologies match, sizes not checked in 0.046 seconds.	
Summary for all cells: exports match, topologies match, sizes not checked	
NCC command completed in: 0.062 seconds.	=
	~
< III	F.

Rys. 49. Brak błędów związanych z niejednoznacznościami między schematem a layoutem.

Na

Rys. 50 pokazano inne przykłady prawidłowo wykonanych projektów topograficznych inwertera. W przypadku zainstalowania dodatkowych bibliotek możliwe jest obejrzenie trójwymiarowego modelu inwertera (*Windows*  $\rightarrow$  3D *Window*  $\rightarrow$  3D *View*). Po usunięciu wszelkich błędów z projektu topograficznego można przystąpić do sprawdzenia symulacji czasowej.



Rys. 50. Przyklady projektów topograficznych inwertera.

### 5.2 Symulacja czasowa inwertera

Symulacja czasowa projektu topograficznego inwertera przebiega w analogiczny sposób jak

w przypadku symulacji schematu elektrycznego. Z komponentu *Misc.* (ang. *Miscellaneous*, różne) należy wybrać *Spice Code* i umieścić ten obiekt w dowolnym miejscu projektu. Należy dokonać edycji właściwości pola tekstowego (*Edit* ->*Properties* ->*Object Properties*... lub CTRL+I).

W nowo otwartym oknie zaznaczyć opcję *Multi-Line Text* (prawy górny róg) i wprowadzić w polu tekstowym analogiczne informacje jak w pkt 4.2.

Aby uruchomić symulację należy przy otwartej komórce schematu wybrać opcję  $Tools \rightarrow Simulation (Spice) \rightarrow Write Spice Deck...$  Pojawi się okno programu *LTSpice*. Postępując analogicznie jak w pkt. 4.2 określić czasy propagacji inwertera i porównać z wynikami uzyskanymi dla schematu elektrycznego.