Projektowanie układów cyfrowych z użyciem języka VHDL i systemu projektowego Active-HDL

WSTĘP

Celem ćwiczenia jest nauczenie projektowania układów cyfrowych z użyciem języka VHDL oraz zapoznanie z programem Active-HDL firmy Aldec.

Niniejszy opis dotyczy oprogramowania w wersji 8.2. Pomimo tego można korzystać z wcześniejszych wersji, jednak należy mieć na uwadze inne położenie wybieranych poleceń i ustawień.

WPROWADZENIE DO ŚRODOWISKA PROJEKTOWEGO Active-HDL

Wprowadzenie realizowane jest jako przykład opisu dwuwejściowej bramki OR.

- Uruchomić system Active-HDL,
- Pojawia się okno License Configuration, naciskamy Next,



• W oknie Getting Started zaznaczamy Create new workspace, naciskamy OK,

Getting Started	? 🛛
C Open existing workspace	
	More
Create new workspace	
Always open last workspace	
	Cancel

• W oknie **New Workspace** wpisujemy nazwę tworzonego katalogu dla projektu (np. proj1), naciskamy **OK**,



• W oknie New Design Wizard zaznaczamy Create an Empty Design, naciskamy Dalej,

New Design Wizard
How would you like to create Design Resources?
Create an Empty Design
C Create an Empty Design with Design Flow
C Add existing Resource Files
C Import a Design from Active-CAD
This option creates an empty design with no synthesis or implementation tool set and disables Design Flow Manager. It also allows you to select a vendor, technology and specify the default HDL language of your new design entry sources.
C Create New Workspace
< Wstecz Dalej > Anułuj

• W oknie Property Page wybieramy opcje jak poniżej, naciskamy Dalej,

Property Page 🛛 🔀
Specify additional information about the new design.
Design Language
Block Diagram Configuration: Default HDL Language 🚽
Default HDL Language:
Target Technology
Vendor: Not defined
Technology: Not defined
< <u>W</u> stecz Dalej> Anuluj

• W oknie New Design Wizard wpisujemy nazwę projektu (np. bramka1), naciskamy Dalej,

Specify basic information about the new	w design.		
une the design name:	actign.		
pramka1			
	J		
elect the location of the design rolder. ::\Mu_Designs\proi1			
			Browse
pramka1 be name specified here will be used a	is the file name for t	he	
bramka1 he name specified here will be used a brary files and as the logical name of t	is the file name for t he library. You can	he	
bramka1 'he name specified here will be used a pray, files and as the logical name of th hange the logical name later on.	is the file name for t he library. You can	he	
bramka1 he name specified here will be used a brary files and as the logical name of th hange the logical name later on.	is the file name for t he library. You can	he	
bramka1 The name specified here will be used a brary files and as the logical name of th hange the logical name later on.	is the file name for t he library. You can	he	
branka1 [The name specified here will be used a bray files and as the logical name of th change the logical name later on.	is the file name for t ne library. You can	he	
branka1 The name specified here will be used bit brang lies and set he logical name of it change the logical name later on.	is the file name for t ne library. You can	he	
branka1 The name specified here will be used brang lies and as the logical name of the change the logical name later on.	is the file name for t he library. You can	he	
brank-a1 The name specified here will be used a library files and is the logical name of the change the logical name later on.	is the file name for t he library. You can	he	

- W kolejnym oknie naciskamy Zakończ,
- Pojawia się okno programu Active-HDL 8.2, w którym wybieramy File → New → VHDL Source,

_									
A	Active	-HDL 8	. <mark>2 (</mark> pr	oj1 ,braml	ca1)				
Eile	Edit	Search	⊻iew	Workspace	Design	Simulation	Tools	Wine	wob
	Open §	<u>V</u> orkspac	e/Desig	n Explorer) 🔎 🛗 🗄	: 3	M, (1
	Close \	Vorkspac	э			×			
	New				• 2	🛚 🛛 Workspac	e		
1	Open			Ctrl	+0 🖣	Design			
	Open o	lesign fro	m Sourc	e Control		K ⊻HDL Sou	rce		
	Open S	iymbol			6	🕻 Verilog So	urce		
×	⊆lose			Ctrl-	-F4 [SystemC S	Source		
	Close A	AII			\$	🗙 St <u>a</u> te Diaç	gram		
	Save			Ctr	l+S	Block Diag	ram		
-	Save A	s			12	<u>Symbol</u>			
a	Save A	1			Ŕ	Waveform)		
	Save D	esian As.			8	List			
:	Send				Ĩ.	PSL Sourc	e		
-	-				1	OVA Sour	e		
	Imnort				Image:	Memory V	iaw		

- Pojawia się okno New Source File Wizard, w którym naciskamy Dalej,
- W oknie New Source File Wizard Name nadajemy nazwę dla pliku z przyszłym kodem VHDL (np. OrGate), naciskamy Dalej,

New Source File Wiza	rd - Name 🛛 🗙
	Type the name of the source file to create: DrGate You san use the Browse butten to openity the file.
	Type the name of the entity (optional): By default, the entity name is the same as the file name.
	Type the name of the architecture body (optional):
	By default, the architecture name is the same as the entity name.
	<wstecz< td=""></wstecz<>

• Pojawia się okno **New Source File Wizard - Ports**, w którym naciskamy **New**, w polu **Name:** wpisujemy nazwę sygnału wejściowego typu **in** (np. A),

New Source File Wi	zard - Ports 🛛 🔀
A	To add a new port, click New. To edit a port, select it on the list. Then you can change its name, click click and type. Jouckly change the index constraint of a port of a emedimensional array type, use the Array Indexes box. To remove a port, select it on the list, and then click. Delete. Name: Port direction Port direction out buffer
	New Delete Type
	< <u>W</u> stecz Zakończ Anuluj

- Ponownie naciskamy **New**, w polu **Name:** wpisujemy nazwę drugiego sygnału wejściowego typu **in** (np. B),
- Ponownie naciskamy **New**, w polu **Name:** wpisujemy nazwę sygnału wyjściowego typu **out** (np. Y), następnie naciskamy **Zakończ**,

New Source File Wiza	ırd - Ports	×
- A B OrGate	To add a new port, click New. To edd a port, select it on the list. Then you can change its name, direction and type. To quickly change the index constaint of a port of a one-dimensional array type, use the Array Indexes box. To remove a port, select it on the list, and then click. Array Indexes: B Port direction To circuit Port direction New Delete New Delete Type	
	< <u>W</u> stecz Zakończ Anuluj	

• W oknie programu Active-HDL 8.2 pojawia się kod VHDL, który uzupełniamy o wiersz opisujący działanie bramki OR, zapisujemy poprzez File → Save,



• Następnie kompilujemy wybierając **Design** → **Compile**,



• Rozpoczynamy symulację działania układu opisanego kodem VHDL. W tym celu inicjalizujemy symulator poprzez Simulation → Initialize Simulation,

🛣 Active-HDL 8.2 (proj1 ,bramka1) - c	: \ M	y_Designs\proj1\bramk	ka1\src\	OrGate.vh
Eile Edit Search View Workspace Design	Sin	ulation <u>T</u> ools <u>W</u> indow <u>H</u>	elp	
🔕 • 🖙 🖬 💥 🐹 🛄 🚳 💱 🔵	ſ	Initialize Simulation		Ø 🔒
Design Browser	-	Initialize Post Simulation Deb	ug	:= 🕞
· · · · · · · · · · · · · · · · · · ·		Initialize C Code <u>D</u> ebug		_
orgate (orgate)		Initialize Handel-C Code Deb	ug	
O Unsorted		End Simulation		
🛛 🚮 Workspace 'proj1': 1 design(s)	-	Restart Simulation		1164. <mark>al</mark>
🖃 📷 bramka 1	-			-
Add New File		Run	Alt+F5	1
1 🖨 🖆 🖌 OrGate.vhd	M	Ryn Until		
📲 orgate (orgate)	₽	Run For	F5	LUGIC;
– 💕 Add New Library	⊴	Move Back <u>w</u> ard		LUGIC;
🗄 🎁 bramka1 library	IÞ.	Go to current simulation time		
- Multiple-Unit	n.	Pause		1
🔄 orgate (orgate)	-			-
	÷.	Irace Into	F7	ically a
	Ç=	Trace Over	F8	[
	¢3	Trace Out	F10	of OrG

• Dołączamy plik dla przebiegów wybierając File → New → Waveform,



• W oknie programu Active-HDL 8.2 pojawia się plik typu .awc, wybieramy zakładkę Structute, zaznaczamy nazwę struktury (tu: orgate(orgate)), przeciągamy sygnały do lewego okna pliku .awc jak pokazano poniżej,

HOR	T00000				
A Active-HDL 8.2 (proj1 ,bramka1) - untitled	d.awc				
Eile Edit Search View Workspace Design Simulat	ation <u>W</u> aveform <u>T</u> ools <u>W</u>	indow <u>H</u> elp			⇔ × ×
🖉 • 📽 🖬 💥 🕺 🔳 🚳 😻 💭 🔛	📅 🎎 💲 🔍 🛍 🚏 🤤	2 🙀 🔕 🚇	9 6 6	▶ 100 ns 🕂 📢 🔳	≝ ⊪ »
Design Browser 🔷 🗴	🖬 🕐 🐜 😭 🔖 🔍 •	5 K, K, K, M,	思 * * 林林:	・ / 3 % 隆 🖬	🗧 🚺 🐂 🔭
💽 orgate (orgate) 💌 Sig	ignal name Value	1 N N	400	. 800	1 M
Corgate (orgate) 2 Statsandard Statsandard StatsExTIO Giece.std_Jogic_1164	~	0 ps			
Value ▼ P A 0 P B 0 • B 0	Course 1				
	Cuisor I	U ps			• HQH
				No database co	nnected, NO SIM
📄 Files 🚺 🛠 Structure 🔂 Resou /	🗄 orgate.vhd 🙀 untitl	ed.awc			
<pre></pre>	d in location c:\N	Iy_Designs∖pro	oj1\bramka1\src\u	ave.asdb	<
					NUM INS

• Dla nadania wartości sygnałom wejściowym zaznaczmy dany sygnał wejściowy, naciskamy prawy klawisz myszy i wybieramy **Stimulators...**,

Active-HDL 8.2 (proi1 .bramka1) - untitled.awc			
File Edit Search View Workspace Design Simulation Way	eform Tools Window Help		-⊕ × ×
	🔍 🎁 🐨 🖓 🖓 🚱 🕒 🔗	🕹 😓 🕨 🕨 🛓 100 r	ns 🕂 📢 🔳 🔺 🕨 🎽
Design Browser 🔷 🗙 🔛 🕐 f	n 🖆 💊 斗 🔍 🔍 🔍 🤉	🔍 « » 🛗 🏘 🕫 🦽	6 % % 🖻 🖥 🕵 »
🛐 orgate (orgate) 💽 Signal name	Value · ·	1 400 1 1 1 1	800 ' ' ns
G-1 orgate (orgate) A D line_43 D B	Find Signal	Ctrl+T	<u>^</u>
☐ std.standard ☐ std.TEXTIO ☐ lieee.std_logic_1164	Find in Advanced Dataflow Add to Advanced Dataflow		
Name Value	Find in Structure Browser	Ctrl+G	Ē
• A U • B U • Y U	Add Named Row Create Virtual Bus Create Virtual Group	Ctrl+I Ctrl+U Ctrl+Y	
Cursor 1	Create Analog Overlay Bus Group by Hierarchy Split Virtual Bus(es)/Group(s) Rename Signal	Ctrl+J	► «©» wave.asdb SIM
<pre>* # 1 signal(s) traced. * # 1 signal(s) traced. # 1 signal(s) traced.</pre>	Stimulators		
Console Finds specified signal in the Accelerated Waveform	Cut Copy	Ctrl+X Ctrl+C	NUM INS

• Pojawia się okno Stimulators, zaznaczmy sygnał wejściowy (1), wybieramy Predefined (2) typu Clock B0 (3), naciskamy Apply a następnie Close,

NL Stimulators		? 🗙
Signals Predefined		
Signal: Name Type I 1	Type: Value Forces a waveform defined on the Predefined tab Predefined Pr	
Display paths Save	Apply Strength: Override	•
		Close

• Dla drugiego sygnału wejściowego wybieramy wymuszenie typu **Clock B1**, postępując podobnie jak powyżej,

Ustawiamy krok symulacji równy 20 ns, wykonujemy symulację krokowo naciskając lewy klawisz myszy po wskazaniu ikony

🛣 Active-HDL 8.2 (proj1 ,branka1) - untitled.awc												
Elle Edit Search View Workspace Design Simulation Waveform Iools Window Help												+ ^ + ≫ ×
🖉 ▼ 🚔 🖶 💥 📖 📲 🖏 🐙 💭) 👫 HEE 🍃 🔍 (🖬 🏆 🖓 I	•	🖫 🧇 🇳	ا م 😓	▶I 🕑 20 ns	🗄 🛚 🔳	⊴ ⊪ 🗣	≡Ç≡ ç≡		60ns	+ 1
Design Browser 🔷 🔺	🛛 🖬 🙆 🐜 😭	L 🔎 🖓	Ð, Q, (A A A	« » 🕅 🕯	h 19 🔏 %	× % 🖪	0 🗞 🖿	: 🔊 🖗 🏒		· 🖪 🧉 🗍	»»
🙀 orgate (orgate) 💌	Signal name	Value			16	4 · · · 32	40	48	· · · 56 ·	· · 6,4 ·	· · 1/2 ·	· · 80 · ns
-1 orgate (orgate)	Þ-A	1 to 0								60 ns		^
□ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □	• B	1 to 0										
-P std.TEXTIO	• ` Y	1 to 0										
ee.std_logic_1164												
Name Value												
P A O												
• Y 0												
	Cursor 1								E	0.00		~
			4						-			40H4
											v	wave.asdb SIM
📋 ries / 🖉 Structure / 🔤 Resou / 📗 🖾 orgate vhd , 🐝 untitled awc /												
• run 20 ns												~
* • # KERNEL: stopped at time: 6 0	50 ns											~
Console /												
												NUM INS /

ZALICZENIE ĆWICZENIA

- 1. Zaliczenie kolokwium wstępnego.
- 2. Zrealizowanie zadanych przez prowadzącego układów cyfrowych w języku VHDL.