# LABORATORIUM TUP

### (P. Kwiatkowski, Quartus Prime 15.1, DE2-115, v1.1)

## WST P

Do praktycznego testowania realizowanych projektów laboratoryjnych przeznaczona jest p€tka uruchomieniowa *DE2-115 Development and Education Board* firmy *Terasic Technologies* Inc., na której znajduj si m.in. nast puj ce elementy:

- EP4CE115 ó uk€d FPGA firmy Altera serii Cyclon IV,
- EPCS64 ó zewn trzna pami konfiguracyjna,
- zintegrowany programator USB-Blaster,
- pami ci: SDRAM 128MB, SRAM 128MB, Flash 8MB, EEPROM 8MB
- porty VGA, RS-232, Ethernet PS/2,
- przetwornik audio 24-bit, wej cie i wyj cie liniowe oraz mikrofonowe
- generator kwarcowy 50 MHz,
- osiemna cie czerwonych i dziewi zielonych diod LED,
- o miocyfrowy wy wietlacz 7-segmentowy LED,
- wy wietlacz LCD 16x2,
- osiemna cie prze€czników suwakowych i cztery przyciski monostabilne z eliminacj drga zestyków.



LED	LDR17	LDR16	LDR15	LDR14	LDR13	LDR12	LDR11	LDR10	LDR9
Ko cówka uk€adu FPGA	H15	G16	G15	F15	H17	J16	H16	J15	G17
LED	LDR8	LDR7	LDR6	LDR5	LDR4	LDR3	LDR2	LDR1	LDR0
Ko cówka uk€du FPGA	J17	H19	J19	E18	F18	F21	E19	F19	G19

Diody LED wiec po podaniu poziomu H na odpowiedni ko cówk uk€du FPGA.

LED	LDG8	LDG7	LDG6	LDG5	LDG4	LDG3	LDG2	LDG1	LDG0
Ko cówka uk€adu FPGA	F17	G21	G22	G20	H21	E24	E25	E22	E21

Naci ni cie przycisku monostabilnego wymusza poziom L na odpowiedniej ko cówce uk du FPGA. Przycisk w stanie swobodnym ustala poziom H.

Przycisk	KEY3	KEY2	KEY1	KEY0
Ko cówka uk€du FPGA	R24	N21	M21	M23

Prze€czniki suwakowe umo liwiaj ustalenie poziomu H (pozycja UP) oraz poziomu L (pozycja DOWN) na ko cówkach uk€du FPGA.

Prze€cznik	SW17	SW16	SW15	SW14	SW13	SW12	SW11	SW10	SW9
Ko cówka uk€adu FPGA	Y23	Y24	AA22	AA23	AA24	AC23	AB24	AC24	AB25

Prze€cznik	SW8	SW7	SW6	SW5	SW4	SW3	SW2	SW1	SW0
Ko cówka uk€adu FPGA	AC25	AB26	AD26	AC26	AB27	AD27	AC27	AC28	AB28

Ka dy z wy wietlaczy 7-segmentowych jest sterowny indywidualnie. Anody poszczególnych cyfr s do€czone na sta€ do poziomu H. Katody odpowiednich segmentów s pod€czone do ko cówek uk€du FPGA i wiec po podaniu poziomu L. Opis wszystkich wyprowadze wy wietlaczy znajduje si w instrukcji *DE2-115 User Manual* w rozdziale 4.4.

Generator kwarcowy

Sygna€	OSC1_50MHz	OSC2_50MHz	OSC3_50MHz
Ko cówka uk€du FPGA	Y2	AG14	AG15

Szczegó€wy opis wszystkich wyprowadze uk€du FPGA znajduje si w instrukcji DE2-115 User Manual.

Programowanie uk€du EP4CE115 wykonuje si za pomoc komputera PC poprzez interfejs JTAG, przy u yciu z€cza USB. Taki sposób komunikacji wynika z umieszczenia uk€du programatora bezpo rednio na p€tce uruchomieniowej.

## TUTORIAL ó projekt w j zyku VHDL

Podstawowe mo liwo ci systemu projektowego *Quartus Prime 15.1* firmy *Altera* ilustruje projekt uk€du kombinacyjnego zbudowanego z kilku bramek logicznych.



Na wst pie nale y utworzy katalog dla projektu *C:\Labuprog\<symbol\_grupy\_wel>\TUTOR1*. W odpowiednie miejsce cie ki wpisa symbol grupy dzieka skiej.

#### Uruchomienie systemu

System uruchamia si dwukrotnym klikni ciem lewego klawisza myszki na ikonie *Quartus Prime 15.1*.



#### Utworzenie nowego projektu typu HDL

- 1. W nawigatorze projektowym wybra  $File \rightarrow New Project Wizard...$
- 2. Je li pojawi si okno New Project Wizard: Introduction, to nacisn Next
- 3. Nast pnie w oknie *New Project Wizard: Directory, Name, Top-Level Entity*, w pierwszym polu wskaza utworzony wcze niej folder dla projektu, a w kolejnych polach wpisa nazw projektu *TUTOR1* (system projektowy šlubiö gdy nazwa projektu jest zgodna z jego folderem), nacisn przycisk *Next*

New Project Wizard		0			<b>— X</b>
Directory, Name, Top-Level Entity					
What is the working directory for this project?					
C:/Labuprog/PK/TUTOR1					
What is the name of this project?					
TUTOR1					
What is the name of the top-level design entity for this project? This name i	s case sensitive a	and must exactly	match the entity	name in the design file.	
TUTOR1					
Use Existing Project Settings					
	< Back	Next >	Finish	Cancel	Help

- 4. W nast pnym oknie wybra *Empty Project* i nacisn *Next*
- 5. Kolejne okno New Project Wizard: Add Files pomin poprzez Next
- 6. W oknie *New Project Wizard: Family, Device & Board Settings*, w zak€dce *Device*, w polu *Family* wybra rodzin ukladów *Cyclon IV E*, a w obszarze *Available devices:* zaznaczy uk€d EP4CE115F29C7
- 7. Nacisn przycisk *Finish*

Select the family ar You can install add	nd device you want to itional device support	target for twith the In	compilation. stall Devices com	mand on the T	ools menu.		
o determine the ve	ersion of the Quartus	Prime softv	ware in which you	ir target devic	e is suppo	ted, refer to	the <u>Device Support List</u> webpag
Device family				Show in '	Available d	evices' list-	
Family Cyclone	IV E		•	Package:		Any	•
Devices: All			Ŧ	Pin count		Any	•
Target device				Core Spe	ed grade:	Any	•
Auto device :	selected by the Fitter			Name filte	er:		
<ul> <li>Specific devi</li> </ul>	ce selected in 'Availa	ble devices	' list	Show	v advanced	devices	
Other: n/a				Device and	d Pin Option	15	
Available devices:							
Name	Core Voltage	LEs	Total I/Os	GPIOs	Mem	ory Bits	Embedded multiplier 9-bi
	1.2V	75408	293	293	2810880		400
EP4CE75U19I7	1.21/	114480	281	281	3981312		532
EP4CE75U19I7 EP4CE115F23C7	1.2.V				0004040		600
EP4CE75U19I7 EP4CE115F23C7 EP4CE115F23C8	1.2V	114480	281	281	3961312		532
EP4CE75U19I7 EP4CE115F23C7 EP4CE115F23C8 EP4CE115F23C8L	1.2V 1.0V	114480 114480	281 281	281 281	3981312		532
EP4CE75U19I7 EP4CE115F23C7 EP4CE115F23C8 EP4CE115F23C8L EP4CE115F23C9L	1.2V 1.2V 1.0V 1.0V	114480 114480 114480	281 281 281	281 281 281	3981312 3981312 3981312		532 532 532
EP4CE7501907 EP4CE115F23C7 EP4CE115F23C8 EP4CE115F23C8L EP4CE115F23C9L EP4CE115F237	1.2V 1.2V 1.0V 1.0V 1.2V	114480 114480 114480 114480 114480	281 281 281 281	281 281 281 281	3981312 3981312 3981312 3981312		532 532 532 532
EP4CE75019/7 EP4CE115F23C7 EP4CE115F23C8 EP4CE115F23C8L EP4CE115F23C9L EP4CE115F23/7 EP4CE115F23/8L	1.2V 1.2V 1.0V 1.0V 1.2V 1.2V	114480 114480 114480 114480 114480	281 281 281 281 281 281	281 281 281 281 281 281	3981312 3981312 3981312 3981312 3981312		532 532 532 532 532 532
EP4CE75U19I7 EP4CE115F23C7 EP4CE115F23C8 EP4CE115F23C8L EP4CE115F23C9L EP4CE115F23I7 EP4CE115F23I8L EP4CE115F29C7	1.2V 1.2V 1.0V 1.0V 1.2V 1.2V 1.2V	114480 114480 114480 114480 114480 114480 114480	281 281 281 281 281 281 281 529	281 281 281 281 281 281 281 529	3981312 3981312 3981312 3981312 3981312 3981312		532 532 532 532 532 532 532
EP4CE75U19I7 EP4CE115F23C7 EP4CE115F23C8 EP4CE115F23C8L EP4CE115F23C9L EP4CE115F23I7 EP4CE115F23I8L EP4CE115F29C7 EP4CE113F29C8	1.2V 1.2V 1.0V 1.0V 1.2V 1.2V 1.2V 1.2V 1.2V	114480 114480 114480 114480 114480 114480 114480	281 281 281 281 281 281 529 529	281 281 281 281 281 281 529 529	3981312 3981312 3981312 3981312 3981312 3981312 3981312		532 532 532 532 532 532 532 532 532
EP4CE75U19/7 EP4CE115F23C7 EP4CE115F23C8 EP4CE115F23C8L EP4CE115F23C8L EP4CE115F23C8L EP4CE115F23C7 EP4CE115F29C7 EP4CE115F29C8L	1.2V 1.2V 1.0V 1.0V 1.2V 1.2V 1.2V 1.2V 1.2V 1.2V 1.2V 1.2V	114480 114480 114480 114480 114480 114480 114480 114480	281 281 281 281 281 529 529 529	281 281 281 281 281 281 281 529 529 529	3981312 3981312 3981312 3981312 3981312 3981312 3981312 3981312		532 532 532 532 532 532 532 532 532 532

#### Opis dzia@inia uk@du w j zyku VHDL

- 1. W nawigatorze projektowym wybra  $File \rightarrow New$
- 2. Otwiera si okno New, w którym nale y zaznaczy typ pliku VHDL File i nacisn OK
- 3. Nast pnie wybra  $File \rightarrow Save As...$ , wpisa nazw pliku *TUTOR1.vhd* i nacisn Save
- 4. Opisa dzia anie projektowanego uk adu jak poni ej i zapisa poprzez  $File \rightarrow Save$

```
----- TUTOR1.vhd ------
library ieee;
use ieee.std logic 1164.all;
entity TUTOR1 is
port( a : in std logic;
     b : in std logic;
     y_and : out std_logic;
     y_nand : out std_logic;
     y or : out std logic;
     y nor : out std logic;
     y xor : out std logic );
end TUTOR1;
architecture Beh of TUTOR1 is
begin
      y and \leq a and b;
      y_nand <= a nand b;</pre>
      y_or <= a or b;
      y nor <= a nor b;
      y xor <= a xor b;
end Beh;
```

 W celu sprawdzenia poprawno ci sk€dni j zyka VHDL uruchomi Processing → Start → Start Analysis & Synthesis (czyli Ctrl+K lub ikona )



#### Przypisanie ko cówek uktadu FPGA do sygnatow projektu

- 1. W nawigatorze projektowym wybra *Assigments*  $\rightarrow$  *Pin Planner* (Ctrl + Shift + N)
- 2. Otwiera si okno Pin Planner
- 3. W obszarze *All Pins*, w kolumnie *Location* wybra odpowiedni ko cówk uk€du FPGA, czyli sygna€ wej ciowe przypisa do przycisków *KEY* a sygna€ wyj ciowe do diod wiec cych *LDG* (wystarczy wpisa numer wyprowadzenia..., a potem Enter)
- 4. Zamkn okno *Pin Planner*



#### Implementacja projektu

1. W nawigatorze projektowym wybra *Processing* → *Start Compilation* (Ctrl+L lub przycisk >)

#### Symulacja czasowa

1. W nawigatorze projektowym wybra  $Tools \rightarrow Run Simulation Tool \rightarrow RTL Simulation$ 

Otwiera si program *ModelSim*, w którym nale y znale bibliotek utworzonego w programie *Quartus Prime* projektu (domy lnie *Work*), rozwin j i klikn dwukrotnie w znajduj ce si w niej plik *tutor*1

Modelsmin ALIENG JAKIER EDITION 10.4d         File Edit View Compile Simulate Add Library Tools Layout Bookmarks Window Help         Image: Simulate Add Library Tools Layout Bookmarks Window Help         Image: Simulate Add Library Tools Layout Bookmarks Window Help         Image: Simulate Add Library Tools Layout Bookmarks Window Help         Image: Simulate Add Library Tools Layout Bookmarks Window Help         Image: Simulate Add Library Tools Layout Addition Simulation Inco         Image: Simulate Add Library Collaborophy/LIIORALINGERSIMON         Image: Simulate Add Library Simulate Add Library Simulation Inco         Image: Simulate Add Library Simulation Inco         Image: Simulate Add Library Simulate Add Library Simulation Inco         Image: Simulate Add Library Simulates				
File Edit View Compile Simulate Add Library Tools Layout Bookmarks Window Help D · Columnasout [allColumns Columnayout [allColumns Whene Type [Path Phane Type [Path Ph	M ModelSim ALTERA STAF	RTER EDIT	ON 10.4d	
Image:	File Edit View Compi	ile Simu	ate Add Library Tools Layout Bookmarks Window H	elp
ColumnLayout       11Columns       Image: Im	📙 🗈 🖌 🚘 🔛 🤹 🍜 🗍	ž 🖻 🖗	▙ ؽ ؽ   ◇ - ⋪ 睅 兩  ] � ⑳ ⅲ 綛 丞  ] ᅷ ↔	🛊 👔 🏤 💼 🚽 Layout Simulate 💌
Image: Second	ColumnLayout AllColum	ns	💌 🛛 🦓 - 🖏 - 🥵 🗍 主 💿	
Myane       Type       Path       A         Image: State       Ubrary       rd_work       Ubrary       rd_work         Image: State       Ubrary       Cf.Abuyrog/R/UTCR1/UTCR1/UTCR1/VICR1/UTCR1/VICR1/UTCR1/VICR1/UTCR1/VICR1/UTCR1/VICR1/UTCR1/VI	航 Library 🚃			cts 🗄 🖻 🗙
Image: Work       Ubray       cf_ubucrog/PK/TUGR1/TUGR1/UTGR1.vhd         Image: The state of the s	▼ Name	Туре	Path Name	Value Kind Mode
• • • • • • • • • • • • • • • • • • •	- work	Library	rtl_work	
→ M. 20model Library V. C:/.laburgroup/K/Tubr !jsmulation/mo             → M. 20model _ver       Library V. VoDETECH./.jabera/verligg/220m             → M. altera_Insim       Library V. MODETECH/jabera/verligg/220m             → M. altera_Insim_ver       Library V. MODETECH/jabera/verligg/abera             → M. altera_Insim_ver       Library V. MODETECH/jabera/verligg/abera             → M. altera_Insim_ver       Library V. MODETECH/jabera/verligg/abera             → M. altera_Trian_ver       Library V. MODETECH/jabera/verligg/abera             → M. artiai_Ibrasi       Ubrary V. MODETECH/jabera/verligg/abera             → M. artiai_Ibrasi       Ubrary V. MODETECH/jabera/verligg/abera             → M. artiai_Ibrasi       Ubrary V. MODETECH/jabera/verligg/artiai             → M. artiai_Ibrasi       Ubrary V. MODETECH/jabera/verligg/artiai             → M. artiaigz_hes       Library V. MODETECH/jabera/verligg/artiai             → M. artiaigz_hes       Libr	E tutor 1	Entity	C:/Labuprog/PK/TUTOR 1/TUTOR 1.vhd	
□ Juli 220model ubrary \$MODE_TECH., Jatera/vhd/g220m         □ Juli 220model ver übrary \$MODE_TECH., Jatera/vhd/altera         □ Juli atera insim       Ubrary \$MODE_TECH., Jatera/vhd/altera         □ Juli atera insim       Ubrary \$MODE_TECH., Jatera/vhd/altera j         □ Juli atera insim       Ubrary \$MODE_TECH., Jatera/vhd/altera j         □ Juli atera insim       Ubrary \$MODE_TECH., Jatera/vhd/altera j         □ Juli atera insim       Ubrary \$MODE_TECH., Jatera/vhd/altera inf         □ Juli atera insim       Ubrary \$MODE_TECH., Jatera/vhd/alraini         □ Juli atera insim       Ubrary \$MODE_TECH., Jatera/vhd/alraini         □ Juli atera insi       Ubrary \$MODE_TECH., Jatera/verilog/alraini         □ Juli arriai josi ver       Ubrary \$MODE_TECH., Jatera/verilog/arriai         □ Juli arriai josi ver<	Tt_work	Library	C:/Labuprog/PK/Tutor1/simulation/mo	
Image: Advisor of the set of the se	220model	Library	\$MODEL_TECH//altera/vhdl/220model	
Image: Series       Lobary       Processes         Imarenialge: Series	220model_ver	Library	WODEL_IECH//aitera/vbdl/altera	
□       Interinsm_ver       Library       WhODEL_TECH/altera/wrilog/altera         □       Intera_insm_ver       Library       SMODEL_TECH/altera/wrilog/altera         □       Intera_insm_ver       Library       SMODEL_TECH/altera/wrilog/altera         □       Intera_insm_ver       Library       SMODEL_TECH/altera/wrilog/altera         □       Intera_insm_ver       Library       SMODEL_TECH/altera/wrilog/altera         □       Intera_insm_ver       Library       SMODEL_TECH/altera/wrilog/artai         □       Intera_insm_ver       Library       SMODEL_TECH/altera/wrilog/artai         □       Intera_insm_ver       Library       SMODEL_TECH/altera/wrilog/artai         □       Intera_insm_ver       Library       SMODEL_TECH/altera/wrilog/artai         □       Interai_ipole_hip       Library       SMODEL_TECH/altera/wrilog/artai         □       Interaii_pole_hip       Library       SMODEL_TECH/altera/wrilog/artai         □       Interaii_pole_hip       Library       SMODEL_TECH/altera/wrilog/artai         □       Interaiigz_hosi_uver       Library       SMODEL_TECH/altera/wrilog/artai         □       Interaiigz_hosi_uver       Library       SMODEL_TECH/altera/wrilog/artai         □       Interaiigz		Library	SMODEL_TECH//altera/vhdi/altera l	
Image: Second	+ altera Insim ver	Library	SMODEL_TECH//altera/verilog/altera	
Image: Second	+ altera_mf	Library	\$MODEL_TECH//altera/vhdl/altera_mf	
Image: altera_ver       Ubrary       \$MODE_TECH/altera/verlog/artial         Image: artial_tsi       Ubrary       \$MODE_TECH/altera/vhd/artial         Image: artial_tsis_ver       Ubrary       \$MODE_TECH/altera/vhd/artial_tsis         Image: artial_tsis_ver       Ubrary       \$MODE_TECH/altera/vhd/artial_nsis         Image: artial_tsis_ver       Ubrary       \$MODE_TECH/altera/vhd/artial_nsis         Image: artial_tock_hip_uer       Ubrary       \$MODE_TECH/altera/verlog/artial         Image: artial_tock_uer       Ubrary       \$MODE_TECH/altera/verlog/artial         Image: artial_tock_uer       Ubrary	- altera_mf_ver	Library	\$MODEL_TECH//altera/verilog/altera	
→ fit arriai       Lbrary       \$MODE_TECH/altera/hd/arriai         → fit arriai_hsi       Lbrary       \$MODE_TECH/altera/hd/arriai_hsi         → fit arriai_hsi       Lbrary       \$MODE_TECH/altera/hd/arriai_hsi         → fit arriai_pole_hip_ver       Lbrary       \$MODE_TECH/altera/verilog/arriai         → fit arriai_pole_hip_ver       Lbrary       \$MODE_TECH/altera/verilog/arriai         → fit arriaig.che_hip_ver       Lbrary       \$MODE_TECH/altera/verilog/arriai         → fit arriaigz       Lbrary       \$MODE_TECH/altera/verilog/arriai         → fit arriaigz_hsis       Lbrary       \$MODE_TECH/altera/hd/arriaigz         → fit arriaigz_hsis       Lbrary       \$MODE_TECH/altera/hd/arriaigz         → fit arriaigz_hsis_ver       Lbrary       \$MODE_TECH/altera/hd/arriaigz         → fit arriaigz_pole_hip_vLbrary       \$MODE_TECH/altera/hd/arriaigz         → fit arriaigz_pole_hip_vLbrary       \$MODE_TECH/altera/hd/arriaigz         → fit arriaigz_pole_hip_vLbrary       \$MODE_TECH/altera/hd/arriaigz         → fit arriaigz_ver       Lbrary       \$MODE_TECH/altera/hd/arriaigz         → fit arriav_bis_ver       Lbrary       \$MODE_TECH/altera/hd/arriaigz         → fit arriav_bis_ver       Lbrary       \$MODE_TECH/altera/hd/arriaigz         → fit arriav_hsis_ver	⊥ altera_ver	Library	\$MODEL_TECH//altera/verilog/altera	
Image: Arrial_hssi       Library       \$MODEL_TECH/altera/hdl/arrial_nssi         Image: Arrial_hssi_ver       Library       \$MODEL_TECH/altera/hdl/arrial_nssi         Image: Arrial_pode_hip_ver       Library       \$MODEL_TECH/altera/hdl/arrial_nssi         Image: Arrial_pode_hip_ver       Library       \$MODEL_TECH/altera/hdl/arrial_nssi         Image: Arrial_pode_hip_ver       Library       \$MODEL_TECH/altera/hdl/arrial_nssi         Image: Arrial_pode_hip_ver       Library       \$MODEL_TECH/altera/hdl/arrial_nssi         Image: Arrializ_Ded_hip_ver       Library       \$MODEL_TECH/altera/hdl/arrializ_nsi         Image: Arrializ_Ded_hip_ver       Library       \$MODEL_TECH/altera/hdl/arrializ_nsi         Image: Arrializ_Ded_hip_ver       Library       \$MODEL_TECH/altera/hdl/arrializ_nsi         Image: Arrializ_Ded_hip_ver       Library       \$MODEL_TECH/altera/hdl/arrializ_nsi         Image: Arrializ_Dede_hip_vLibrary       \$MODEL_TECH/altera/hdl/arrializ_nsi         Image: Arrialig_Dide_hip	🛨 👖 arriaii	Library	\$MODEL_TECH//altera/vhdl/arriaii	
⊕ Jfl. arriai_hsi_ver       Library       \$MODEL_TECH/altera/verliog/arriai         ⊕ Jfl. arriai_pole_jhip_ubrav       \$MODEL_TECH/altera/verliog/arriai         ⊕ Jfl. arriai_pole_jhip_uver       Library       \$MODEL_TECH/altera/verliog/arriai         ⊕ Jfl. arriai_pole_jhip_uver       Library       \$MODEL_TECH/altera/verliog/arriai         ⊕ Jfl. arriai_pole_jhip_uver       Library       \$MODEL_TECH/altera/verliog/arriai         ⊕ Jfl. arriaigz_hsis       Library       \$MODEL_TECH/altera/verliog/arriai         ⊕ Jfl. arriaigz_hsis_ver       Library       \$MODEL_TECH/altera/verliog/arriai         ⊕ Jfl. arriaigz_hsis_ver       Library       \$MODEL_TECH/altera/verliog/arriai         ⊕ Jfl. arriaigz_pole_hip       Ubrary       \$MODEL_TECH/altera/verliog/arriai         ⊕ Jfl. arriaigz_pole_hip       SMODEL_TECH/altera/verliog/arriai         ⊕ Jfl. arriaigz_ver       Library       \$MODEL_TECH/altera/verliog/arriai         ⊕ Jfl. arriaigz_ver       Library       \$MODEL_TECH/altera/verliog/arriai         ⊕ Jfl. arriaigz_ver       Library       \$MODEL_TECH/altera/verliog/arriai         ⊕ Jfl. arriav_pole_hip_ver       Library       \$MODEL_TECH/altera/verliog/arriav         ⊕ Jfl. arriav_rer       Library       \$MODEL_TECH/altera/verliog/arriav         ⊕ Jfl. arriav_r	🖃 📕 arriaii_hssi	Library	\$MODEL_TECH//altera/vhdl/arriaii_hssi	
•••••••••••••••••••••••••••••	- arriaii_hssi_ver	Library	\$MODEL_TECH//altera/verilog/arriaii	esses (Active) +  at x
→ III, arrializ_ver       Library       \$MODEL_TECH/altera/verilog/arrializ         → III, arrializ_risi       Library       \$MODEL_TECH/altera/verilog/arrializ         → III, arrializ_hssi       Library       \$MODEL_TECH/altera/verilog/arrializ         → III, arrializz_hssi       Library       \$MODEL_TECH/altera/verilog/arrializ         → III, arrializz_hssi_ver       Library       \$MODEL_TECH/altera/verilog/arrializ         → III, arrializz_hssi_ver       Library       \$MODEL_TECH/altera/verilog/arrializ         → III, arrializz_pole_hip_vLibrary       \$MODEL_TECH/altera/verilog/arrializ         → III, arrializz_pole_hip_vLibrary       \$MODEL_TECH/altera/verilog/arrializ         → III, arrializz_ver       Library       \$MODEL_TECH/altera/verilog/arrializ         → III, arriav       Library       \$MODEL_TECH/altera/verilog/arrializ         → III, arriav       Library       \$MODEL_TECH/altera/verilog/arriav         → III, arriav       Library       \$MODEL_TECH/altera/verilog/arriav         → III, arriav_bis_ver       Library       \$MODEL_TECH/altera/verilog/arriav         → III, arriavg_z       Library       \$MODEL_TECH/altera/verilog/arriav         → III, arriavgz       Library       \$MODEL_TECH/altera/verilog/arriav         → III, arriavgz       Library       \$MODEL_TECH/altera	arriaii_pcie_hip	Library	\$MODEL_TECH//altera/vhdl/arriaii_p	Type (filtered) State Order Parent Path Class In
	arriaii_pcie_hip_ver	Library	SMODEL_IECH//altera/verilog/arriai	
Image       Lbray       \$MODEL_TECH/altera/wind/arniagz.         Image:       Lbray       \$MODEL_TECH/altera/wind/arniagz         Image:       Lbray       \$MODEL_TECH/altera/wind/grainagz         Image:       Lbray       \$MODEL_TECH/altera/wind/grainaw         Image:       Lbray       \$MODEL_TE	arriai_ver	Library	SMODEL_IECH//altera/verliog/arriali	
Image_liss       Library       \$MODEL_TECH/altera/verilog/arriai         Image_liss       Library       \$MODEL_TECH/altera/verilog/arriav         Image_liss       Library		Library	\$MODEL_TECH//altera/vhdl/arriaiigz	
Image: Dele_hip       Library       \$MODEL_TECH/altera/wind/arriaigz         Image: Dele_hip       Library       \$MODEL_TECH/altera/wind/g/arriaigz         Image: Dele_hip       Library       \$MODEL_TECH/altera/wind/g/arriaigz         Image: Dele_hip       Library       \$MODEL_TECH/altera/wind/g/arriaigz         Image: Dele_hip       Library       \$MODEL_TECH/altera/wind/g/arriaigz         Image: Dele_hip       Library       \$MODEL_TECH/altera/wind/g/arriav         Image: Deler       Library       \$MODEL_TECH/altera/wind/g/arriav         I	+ arrialigz hssi ver	Library	\$MODEL_TECH//altera/verilog/arriai	
Image: Arrializg_pole_hip_vLibrary       \$MODEL_TECH//altera/verilog/arrializ         Image: Arrializg_ver       Library       \$MODEL_TECH//altera/verilog/arrializz         Image: Arrialy_nsi_ver       Library       \$MODEL_TECH//altera/verilog/arrializz         Image: Arrialy_nsi_ver       Library       \$MODEL_TECH//altera/verilog/arriav         Image: Arrialy arrialy to the arrial to the arria	+	Library	\$MODEL_TECH//altera/vhdl/arriaiigz	
Imarilaigz_ver       Library       \$MODEL_TECH//altera/verlog/arriaigz         Imarila       Arriav_bez       Library         Imarila       Arriav_ver       Library         Imarila       Arriavgz       Library         Imarila       Arriavgz       MoDEL_TECH//altera/verlog/arriav         Imarila       Arriavgz       MODEL_TECH//altera/verlog/arriav <th>+- arriaiigz_pcie_hip_v</th> <th>Library</th> <th>\$MODEL_TECH//altera/verilog/arriaii</th> <th></th>	+- arriaiigz_pcie_hip_v	Library	\$MODEL_TECH//altera/verilog/arriaii	
Image: arriav       Library       \$MODEL_TECH//altera/vhd/arriav         Image: arriav_hssi_ver       Library       \$MODEL_TECH//altera/verilog/arriav         Image: arriav_pcie_hip_ver       Library       \$MODEL_TECH//altera/vhd/arriavgz         Image: arriavor_hissi       Library       \$MODEL_TECH//altera/vhd/arriavoz	🖅 arriaiigz_ver	Library	\$MODEL_TECH//altera/verilog/arriaiigz	
Imarilar arriav_hssi_ver       Library       \$MODEL_TECH//altera/verilog/arriav         Imarilar_poie_hip_ver       Library       \$MODEL_TECH//altera/verilog/arriav         Imarilar_poie_hip_ver       Library       \$MODEL_TECH//altera/verilog/arriav         Imarilar_arriavg_ver       Library       \$MODEL_TECH//altera/verilog/arriav         Imarilar_arriavg_       Library       \$MODEL_TECH//altera/verilog/arriav         Imarilar_arriavg_       Library       \$MODEL_TECH//altera/verilog/arriavg         Imarilar_arriavg_       Library       \$MODEL_TECH//altera/verilog/arriavg_         Imarilar_arriavg_       Library       \$MODEL_TECH//altera/verilog/arriavg_	🖃 📶 arriav	Library	\$MODEL_TECH//altera/vhdl/arriav	
Image: arriav_pole_hip_ver     Library     \$MODEL_TECH//altera/verilog/arriav       Image: hip-hip-hip-hip-hip-hip-hip-hip-hip-hip-	arriav_hssi_ver	Library	\$MODEL_TECH//altera/verilog/arriav	
• · · · · · · · · · · · · · · ·		Library	\$MODEL_TECH//altera/verilog/arriav	
→ III. arriavgz     Library     \$MODEL_TECH//altera/vhd/arriavgz       → III. arriavgz hssi     Library     \$MODEL TECH//altera/vhd/arriavgz	+ arriav_ver	Library	\$MODEL_TECH//altera/verilog/arriav	
+	arriavgz	Library	SMODEL_IECH//altera/vhdl/arriavgz	
	LI+HAM Arriavoz ossi	unrary	SMOURE LECTIV. / Altera / Vndi/arriavoz	•
A Transcript	A Transcript			± ₫ ×
# End time: 11:13:24 on Nov 10,2016, Elapsed time: 0:00:00	# End time: 11:13:24	on Nov	10,2016, Elapsed time: 0:00:00	
# Errors: 0, Warnings: 0	# Errors: 0, Warning	s: 0		
*	<sup>‡</sup>			
ModelSim>	ModelSim>			
.     . <no design="" loaded=""></no>	<no design="" loaded=""></no>		<no context=""></no>	

Pojawiaj si dodatkowe okna z obiektami projektu (sygna z projektu) oraz procesami (linijkami kodu). Nale y zaznaczy wszystkie obiekty (porty a, b, y\_and, y\_nand, y\_or, y\_nor i y\_xor) tutor1 i z menu kontekstowego wybra Add Wave (skrót Ctrl+W)



- 4. W celu wprowadzenia wymusze sygna €w wej ciowych zaznaczamy wybrany sygna €a lub *b* z panelu *Wave* i z menu kontekstowego wybieramy *Clock...*
- W nowo otwartym oknie *Define Clock* ustawiamy *Offset* od 0, wspó€zynnik wype€ienia
   50 (*Duty*), okres powtarzania 10 ns (*Period* 10000), warto ci logiczne wysokie i niskie odpowiednio 1 (*High*) i 0 (*Low*) oraz pierwsze zbocze opadaj ce (*Falling*)

Clock Name		
sim:/tutor1/a		
offset	Duty	
0	50	
Period	Cancel	
10000		
Logic Values		21
High: 1	Low: 0	
First E	dge	
C Risin	g 🖲 Falling	
		-

- 6. Analogiczn operacj przeprowadzamy dla drugiego z sygna€w wej ciowych, przy czym jego okres powtarzania (*Period*) nale y ustawi na 20 ns (20000
- 7. Aby rozpocz symulacj nale y okre li jej d  $\bigcirc$  go na 100 ns (okno *Run Length* w pasku *Simulate*) a nast pnie wybra *Simulate*  $\rightarrow$  *Run*  $\rightarrow$  *Run* 100 (przycisk )
- 8. W celu obejrzenia symulacji w cargm zadeklarowanym zakresie (100 ns) wybra  $Wave \rightarrow$

**Zoom**  $\rightarrow$  **Zoom** Full (klawisz F lub przycisk  $\triangleleft$ )

ModelSim ALTERA STA	ARTER EDITION 10.4d	West Test			West	11.1.		-			-								~		1. C	-	0	×
File Edit View Comp	Y Ban R O O	Warve Toot	s Layout t	sookmarks	Window	Help % (EE) (D) 🕅		ter anti 1 198	100 mm	i nan nav nav n	ax en i polit	ndan 🛛 🖣	a + 1 +	a + 1	Layout 91			Columniava	ut Default			ુના તા.	a.e.e.	
		. <b></b>		-	100			en ner i Dat	100 13	1.014.014.018.0						aurace.	-	]	on persuit			•		
1 0 10 11 ALL	≈   <b>⊾</b> <u>⊐</u> ⊕	11 12 1	0 4 4	C D E			· B.   Seau	n:		Taur a	્યલ્લ	2.12.00			1.1									
Vilastance	Design unit Design	unit type Top	Category	Vohi Vi	Objects		Value Kind	Mode 19		Wave - De	fault	1	Nece					-						3 + 3 ×
Control - C	Desgrunt Desgr Marcileo Anter Marcileo Anter Marcil	untitye Tree citiene 0 9	2 Category (Category) (Categor	+ x x + x x + x + x + x + x + x + x + x + x +	0 Operto III Mare 2 A B 4 A	k.troj	nale ford Organization South States South States S	Node 19	- 2 8 8 X		New Cons 1 Cons		0000						re6	ng		ng 90		
vsum(paused) > run																								-
VSIM(paused)>																						_		-
Now: 100 ns Delta: 2	/tutor 1/b																					0 ps to 1	05 ns	h

#### **Programowanie uk€adu** EP4CE115

- 1. **Sprawdzi pod€czenie p∳tki testowej!** (w€czone zasilanie, podpi ty kabel USB do portu oznaczonego jako BLASTER, przycisk suwakowy SW19 ustawiony na RUN)
- 2. Wybra *Tools* → *Programmer* (przycisk <sup>N</sup> lub klikn dwa razy na *Program Device* w panelu *Tasks*)
- 3. Pojawia si okno nawigatora programatora. Obok przycisku *Hardware Setup* powinno wy wietli si *USB\_Blaster*. Wciskamy przycisk *Auto Detect*
- 4. Do z€cza JTAG pod€czony jest uk€d FPGA EP4CE115 oraz pami konfiguracyjna EP3C120. W nowo otwartym oknie wybieramy uk€d *EP4CE115* i przyciskamy *OK*.

Programmer - C:/Li	abuprog/PK/TUTOR1/	TUTOR1 - TUTOR1 - [CI	hain8.cdf]*					• X
File Edit View P	rocessing Tools W	'indow Help				Sea	rch altera.c	om 🤇
Aardware Setup	USB-Blaster [USB-0	Mode	e: JTAG	•	Progress:			
Enable real-time ISP	to allow background p	ogramming when available	e					
► Start	File	Device	Checksum	Usercode	Program/ Configure	Verify	Blank- Check	Examine
Stop	<none></none>	EP4CE115	0000000	<none></none>				
Auto Detect								
X Delete								
Add File								
Change File	•							
Save File								
Add Device								
1 <sup>th</sup> Up								
Down								
		05445						
	TDO	CETTS						

5. Nast pnie nale y wybra plik, który zostanie wgrany do uk€du. Klikamy dwa razy w wierszu pod kolumn File i wybieramy z folderu *output\_files* plik *TUTOR1.sof*. Zaznaczamy opcje *Program/Configure*.

Programmer - C:/Labuprog/PK/TUTOR1/TUTOR1 - TUTOR1 - [Chain9.cdf]*								
File Edit View Processing Tools Window Help Search altera.com							om 🕤	
🚖 Hardware Setup	USB-Blaster [USB-0]	Mode	JTAG	•	Progress:			
Enable real-time ISF	o to allow background program	nming when available	•					
Start	File	Device	Checksum	Usercode	Program/ Configure	Verify	Blank- Check	Examine
Stop	output_files/TUTOR1.sof	EP4CE115F29	005635E1	005635E1				
Auto Detect								
X Delete						•		
Add File								
🎤 Change File	•							•
Save File								
Add Device		1						
ի <sup>պ</sup> ն Սբ								
J <sup>™</sup> Down	J™ Down → → → →							
	тро							

6. Programujemy uk€d - przycisk Start

### ZADANIA PROJEKTOWE

- 1. Uruchomienie projektu dydaktycznego (tutorial).
- 2. Dokona implementacji *n*-wej ciowej bramki logicznej (AND, NAND, OR, NOR, XOR lub EXOR).
- 3. Zaprojektowa uk d kombinacyjny opisany zbiorem  $T_4 = \{...\}$ .
- 4. Dekoder.
- 5. Multiplekser.
- 6. Demultiplekser.
- 7. Komparator.
- 8. Sumator.
- 9. Przerzutnik D.
- 10. Rejestr przesuwaj cy.
- 11. Rejestr licz cy.
- 12. Licznik dwukierunkowy.
- 13. Licznik modulo N (kasowanie, wpis).
- 14. Dzielnik cz stotliwo ci.

Liczba wykonanych projekcików	15	67	89	1011	1213	14
Ocena	ndst	dst	+dst	db	+db	bdb

## HARMONOGRAM

	Grupa A	Grupa B
1	XILINX (zadania 1,2,3)	ALTERA (zadania 1,2,3)
2	XILINX (zadania 4,5,6,7,8)	ALTERA (zadania 4,5,6,7,8)
3	XILINX (zadania 9,10,11,12,13,14)	ALTERA (zadania 9,10,11,12,13,14)
4	ALTERA (zadanie 1, projekt)	XILINX (zadanie 1, projekt)
5	ALTERA (projekt)	XILINX (projekt)
6	ALTERA (projekt)	XILINX (projekt)