



Streszczenie

Niniejsza rozprawa dotyczy opisu budowy, działania i wyników badań wielokanałowego, scalonego licznika czasu o bardzo wysokiej rozdzielczości i precyzji (odpowiednio 0,7 ps i poniżej 7,5 ps), szerokim zakresie pomiarowym (powyżej godziny). Licznik został zaimplementowany w układzie programowalnym FPGA serii Kintex-7 firmy Xilinx, wykonanym w technologii CMOS 28 nm. Pomiary odcinków czasu odbywają się jednocześnie w ośmiu kanałach pomiarowych. Zaawansowane tryby pomiarowe umożliwiają zwiększenie precyzji licznika do nawet 3 ps lub szybkości powtarzania pomiarów do 250 MSa/s. Zasada działania opracowanego licznika czasu opiera się na połączeniu metody stempli czasu z interpolacją dwustopniową oraz ekwiwalentnej linii kodującej w drugim stopniu interpolacji. Metoda stempli czasu umożliwia jednoczesną rejestrację zdarzeń pochodzących z różnych wejść licznika w odniesieniu do jednej, wspólnej osi czasu. Dzięki temu możliwe jest określenie dowolnych relacji czasowych pomiędzy zarejestrowanymi zdarzeniami. Wysoką rozdzielczość i precyzję pomiaru zapewnia dwustopniowy interpolator oraz zastosowanie ekwiwalentnej linii kodującej.

W celu osiągnięcia założonych parametrów konieczna była realizacja szeregu zadań opisanych szczegółowo w rozprawie. W pierwszej kolejności opracowany został nowy przetwornik zastosowany w pierwszym stopniu interpolacji, oparty na zegarze wielofazowym. Budowa przetwornika zasadza się na noniuszowej linii opóźniającej wykonanej z użyciem zasobów połączeniowych układu FPGA. Następnie przeprowadzono matematyczną i eksperymentalną analizę metody ekwiwalentnej linii kodującej. W jej wyniku wskazano sposoby implementacji układowej zapewniające uzyskanie najwyższych rozdzielczości i precyzji. Przeprowadzono badania wpływu rozrzutu technologicznego, wahań napięcia i temperatury układu na parametry przetworników zastosowanych w obydwu stopniach interpolacji. W opracowanym liczniku metoda stempli czasu realizowana jest z zastosowaniem sygnału zegarowego o względnie dużej częstotliwości (500 MHz), co komplikuje proces synchronizacji modułów licznika. W pracy opisany jest więc sposób projektowania i implementowania modułu pomiarowego w układzie FPGA i skutecznej synchronizacji wszystkich modułów. Ponadto, w pracy zawarto analizę błędów pomiarowych licznika oraz opisano przeprowadzone badania eksperymentalne.

W celu osiągnięcia możliwie najwyższej rozdzielczości i precyzji oraz szybkości powtarzania pomiarów, zaproponowano 4 tryby pomiarowe. Umożliwiają one szybką rejestrację następujących po sobie zdarzeń z jednego wejścia poprzez przełączanie pomiaru na kolejne kanały pomiarowe lub poprawę precyzji dzięki uśrednianiu wyników w czterech bądź ośmiu kanałach pomiarowych. Uzyskane w pracy wartości rozdzielczości i precyzji są najwyższymi osiągniętymi do tej pory w technice układów FPGA. Potwierdzono w ten sposób tezę, iż możliwe jest opracowanie wielokanałowego, scalonego licznika czasu o dużej szybkości powtarzania pomiarów, pikosekundowej precyzji oraz szerokim zakresie pomiarowym z użyciem taniej i łatwo dostępnej technologii mikroelektronicznej.