

Kod przedmiotu: WELXXCXD-SUPS
Nazwa przedmiotu: Scalone układy programowalne i specjalizowane
Jednostka: Wydział Elektroniki
Grupy:
Punkty ECTS i inne: 3.00 **i**
Język prowadzenia: polski
Rodzaj studiów: III stopnia
Rodzaj przedmiotu: wybieralny
Forma zajęć liczba godzin/rygor: W 14/+, L 16

Kod Erasmus: (brak danych)

KIEROWNIK
STUDIÓW DOKTORANCKICH
Wydziału Elektroniki WAT
D. Dobrowolski
dr hab. inż. Andrzej DOBROWOLSKI

2014 -06- 2 7

Przedmioty wprowadzające: 1. Układy cyfrowe - wymagana znajomość problematyki z zakresu przedmiotu.
2. Elementy elektroniczne - wymagana znajomość problematyki z zakresu przedmiotu.
3. Technika układów programowalnych - wymagana znajomość problematyki z zakresu przedmiotu

Programy: Dyscyplina naukowa studiów: Elektronika, Telekomunikacja

Autor: dr hab. inż. Ryszard SZPLET
dr inż. Kamil KLEPACKI

Skrócony opis: W ramach przedmiotu przedstawione zostaną następujące treści kształcenia:

Zasady projektowania topografii układów cyfrowych sposoby, rozprowadzania zasilania i dystrybucji sygnałów wysokiej częstotliwości. Standardy sygnałów wejściowych i wyjściowych. Budowa bloków IP.

Omawiane na wykładach zagadnienia zostaną zweryfikowane praktycznie w ramach ćwiczeń laboratoryjnych, a zasadniczym efektem kształcenia, będzie nabycie umiejętności projektowania układów cyfrowych w technologii FPGA i ASIC.

Pełny opis: Wykłady realizowane są w formie werbalno-wizualnej prezentacji następujących treści:

1. Wbudowane systemy cyfrowe i bloki IP. Biblioteki wirtualnych projektów IP.
2. Bloki funkcjonalne do syntezy sygnałów zegarowych i kontrolowania ich parametrów .
3. Standardy sygnałów wejściowych i wyjściowych. Bufory I/O.
4. Sposoby wprowadzania do układu i dystrybucji sygnałów wysokiej częstotliwości. Magistrale o dużej obciążalności.
5. Pliki zawierające wymagania projektowe.
6. Programy do projektowania topograficznego.
7. Synteza inkrementacyjna.

Ćwiczenia laboratoryjne pozwalają na zapoznanie się z treściami zaprezentowanymi w trakcie wykładów. Tematyka kolejnych zajęć laboratoryjnych:

1. Wybrane systemy do projektowania układów FPGA i ASIC.

2. Projekt wybranego układu cyfrowego.

Literatura: Podstawowa:

1. J.M. Rabaey, A. Chandrakasan, B. Nikolic, Digital Integrated Circuits, Prentice Hall, 2007
2. A. Gołda, A. Kos, Projektowanie układów scalonych CMOS, WKiŁ, 2011
3. D. Clein, CMOS IC Layout, Concept, Methodologies and Tools, Newnes, 2000

Uzupełniająca:

1. R.J. Baker, CMOS Circuit Design, Layout, and Simulation, IEEE Press, 2008
2. N.H.E. Weste, K. Eshraghian, Principles of CMOS VLSI Design, Addison-Wesley, 2005

Efekty uczenia: SUPS_W1 / Ma wiedzę w zakresie projektowania i produkcji cyfrowych scalonych układów specjalizowanych wytwarzanych w technologii CMOS. / EIT_W05

SUPS_U1 / Potrafi zaprojektować układ scalony zoptymalizowany pod kątem poboru mocy, szybkości działania. / EIT_U08

SUPS_U2 / Opanowanie narzędzi do projektowania, symulacji i testowania cyfrowych układów scalonych. / EIT_U06

SUPS_U3 / Potrafi zastosować nowoczesne technologie w projektowaniu układów scalonych / EIT_U09

SUPS_K1 / Potrafi współdziałać w grupie realizującej projekt laboratoryjny. / EIT_K03

Kryteria oceniania: Warunkiem zaliczenia przedmiotu jest uzyskanie oceny pozytywnej z ćwiczeń laboratoryjnych oraz z kolokwium końcowego.

Efekty SUPS_W1, SUPS_U1, SUPS_03 sprawdzane podczas kolokwium końcowego.

Efekty SUPS_U2, SUPS_K1 sprawdzane są w czasie ćwiczeń laboratoryjnych.



Konrad Klepadek

DYREKTOR
Instytutu Telekomunikacji
Wydziału Elektroniki WAT



dr hab. inż. Jerzy ŁOPATKA